

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11003970 A**(43) Date of publication of application: **06.01.99**

(51) Int. Cl.

**H01L 25/065****H01L 25/07****H01L 25/18**(21) Application number: **10103073**(22) Date of filing: **14.04.98**(30) Priority: **17.04.97 JP 09100808**(71) Applicant: **SHARP CORP**

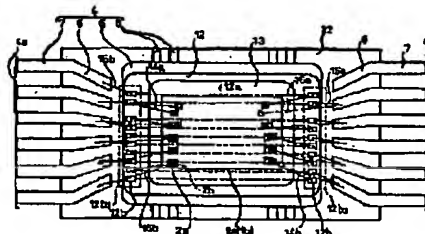
(72) Inventor:  
**ISHIO TOSHIYA**  
**NAKANISHI HIROYUKI**  
**MARUYAMA TOMOYO**  
**MORI KATSUNOBU**  
**TARUI KATSUYUKI**

**(54) SEMICONDUCTOR DEVICE****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To provide a semiconductor device in which a plurality of semiconductor chips of any type can be made into a single package, and which also can avoid design modification of the semiconductor chip to reduce its costs and shorten its developing period.

**SOLUTION:** An insulating material and a wiring pattern 12 are provided on at least one of surfaces of a die pad 5. Wiring 12a of the wiring pattern 12 is formed by patterning so that at least one of inner leads 6 included in one 4a of two lead groups is electrically connected with an electrode pad 2a positioned in the vicinity of a side of a semiconductor chip 1a opposed to the lead group 4a and so that at least one of inner leads 6 included in one 4b of two lead groups is electrically connected with an electrode pad 2a positioned in the vicinity of a side of a semiconductor chip 1a opposed to the lead group 4b.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-3970

(43) 公開日 平成11年(1999) 1月6日

(51) Int.Cl.<sup>8</sup>H 0 1 L 25/065  
25/07  
25/18

識別記号

F I

H 0 1 L 25/08

Z

審査請求 未請求 請求項の数14 O L (全 32 頁)

(21) 出願番号 特願平10-103073

(22) 出願日 平成10年(1998) 4月14日

(31) 優先権主張番号 特願平9-100608

(32) 優先日 平9 (1997) 4月17日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 石尾 俊也

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 中西 宏之

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 丸山 朋代

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(74) 代理人 弁理士 原 誠三

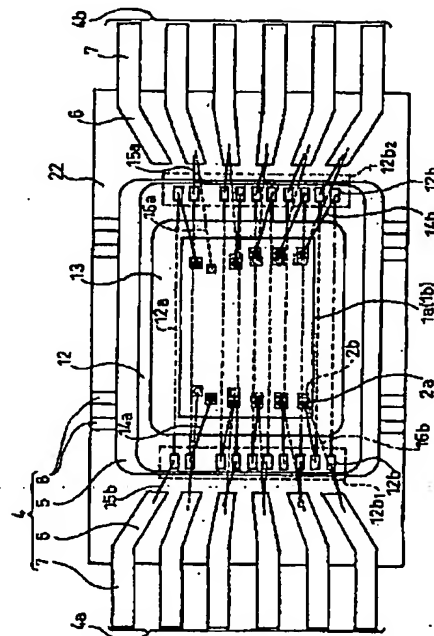
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 あらゆる種類の半導体チップに対して複数チップ1パッケージ化を図ることが可能な半導体装置を実現する。半導体チップの設計変更を回避して、装置のコスト低減および開発期間の短縮化を図る。

【解決手段】 ダイパッド5の少なくとも一方の面に、絶縁材料10・11および配線パターン12を設ける。配線パターン12の配線12aは、2つのリード群のうち一方のリード群4aに含まれる少なくとも1つのインナーリード6が、そのリード群4aと対向する半導体チップ1aの側辺を除く側辺の近傍に配置されている電極パッド2aと電気的に接続されるようにパターンニングされると共に、他方のリード群4bに含まれる少なくとも1つのインナーリード6が、そのリード群4bと対向する半導体チップ1aの側辺を除く側辺の近傍に配置されている電極パッド2aと電気的に接続されるようにパターンニングされる。



(2)

特開平11-3970

1

## 【特許請求の範囲】

【請求項1】リードフレームの半導体チップ搭載用基板の両面に、複数の半導体チップを、そのうちの少なくとも2個が上記半導体チップ搭載用基板について互いに裏面同士を対向させるように搭載する半導体装置において、

上記半導体チップ搭載用基板の少なくとも片面には、所定のパターンを有する配線パターンと、上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材料とが設けられ、

上記複数の半導体チップのうちの少なくとも1個の半導体チップの電極パッドが、上記配線パターンおよび金属線を介して、上記リードフレームに形成された所定のリードと電気的に接続されていることを特徴とする半導体装置。

【請求項2】上記リードフレームは、互いに対向するように配置された、複数のリードからなる2つのリード群を有し、

上記半導体チップ搭載用基板が、上記2つのリード群の間に配置され、

上記複数の半導体チップのうちの上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺のうちの1組の対向する側辺が各々上記2つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、

上記配線パターンは、上記2つのリード群に含まれる少なくとも1つのリードが、上記リードが含まれるリード群と対向する半導体チップの側辺を除く側辺近傍の素子形成面上に配置される電極パッドと電気的に接続されるようにパターンニングされていることを特徴とする請求項1記載の半導体装置。

【請求項3】上記リードフレームは、互いに対向するように配置された、複数のリードからなる2つのリード群を有し、

上記半導体チップ搭載用基板が、上記2つのリード群の間に配置され、

上記複数の半導体チップのうちの上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺のうちの1組の対向する側辺が各々上記2つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、

上記配線パターンは、少なくとも1つのリード群と、半導体チップの素子形成面における側辺近傍に配置され、上記リード群のリードと必要とされる電気信号の順番が異なる電極パッドからなる電極パッド群とが、電気信号の順番が一致して接続されるようにパターンニングされていることを特徴とする請求項1記載の半導体装置。

【請求項4】上記リードフレームは、その2組が互いに

2

対向するように配置された、複数のリードからなる4つのリード群を有し、

上記半導体チップ搭載用基板が、上記4つのリード群で囲まれて配置され、

上記複数の半導体チップのうちの上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺が各々上記4つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、

10 上記配線パターンは、上記4つのリード群に含まれる少なくとも1つのリードが、上記リードが含まれるリード群と対向する半導体チップの側辺を除く側辺近傍の素子形成面上に配置される電極パッドと電気的に接続されるようにパターンニングされていることを特徴とする請求項1記載の半導体装置。

【請求項5】上記リードフレームは、その2組が互いに対向するように配置された、複数のリードからなる4つのリード群を有し、

20 上記半導体チップ搭載用基板が、上記4つのリード群で囲まれて配置され、

上記複数の半導体チップのうちの上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺が各々上記4つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、

30 上記配線パターンは、少なくとも1つのリード群と、半導体チップの素子形成面における側辺近傍に配置され、上記リード群のリードと必要とされる電気信号の順番が異なる電極パッドからなる電極パッド群とが、電気信号の順番が一致して接続されるようにパターンニングされていることを特徴とする請求項1記載の半導体装置。

【請求項6】上記配線パターンは、上記配線パターンが存在する面に搭載される半導体チップの存在領域を避けるようにして、半導体チップ搭載用基板の周辺部に設けられていることを特徴とする請求項1記載の半導体装置。

【請求項7】上記配線パターンおよび上記絶縁材料が、上記配線パターンおよび上記絶縁材料が存在する面に搭載される半導体チップの存在領域を避けるようにして、半導体チップ搭載用基板の周辺部に設けられていることを特徴とする請求項1記載の半導体装置。

【請求項8】上記リードフレームが、上記リードフレームを搬送するためのクレードル部を備え、上記半導体チップ搭載用基板は、少なくとも上記クレードル部の厚さよりも薄く形成されていることを特徴とする請求項1記載の半導体装置。

【請求項9】ウエハプロセスで上記絶縁材料もしくは絶縁層および上記配線パターンを形成した半導体基板を、リードフレームの上記半導体チップ搭載用基板の少なくとも一方の面上に上記半導体チップと並べて搭載し、上記

50

(3)

特開平11-3970

3

半導体チップの電極パッドが、上記配線パターンおよび上記金属線を介して上記リードと電気的に接続されていることを特徴とする請求項1記載の半導体装置。

【請求項10】上記半導体チップ搭載用基板上に設けられた上記配線パターン上において、配線同士が、金属線によって電気的に接続されていることを特徴とする請求項1記載の半導体装置。

【請求項11】上記半導体チップ搭載用基板上に、上記配線パターンを1つ以上含む配線パターン群が2つ以上形成され、上記1つの配線パターン群の少なくとも一部分と、それ以外の上記1つの配線パターン群の少なくとも一部分とが、上記金属線によって電気的に接続されていることを特徴とする請求項10記載の半導体装置。

【請求項12】上記配線パターンが、略平面上に設けられて互いに電気的に独立した第1および第2配線パターンと、1つ以上の配線パターンを有し、上記第1配線パターンと第2配線パターンとの間に設けられた第3配線パターンとを含んでおり、上記第1および第2の配線パターンが、上記金属線によって電気的に接続されていることを特徴とする請求項10記載の半導体装置。

【請求項13】上記複数の半導体チップおよび半導体チップ搭載用基板を封止する封止材と、上記半導体チップ搭載用基板上に形成された上記配線パターンの少なくとも一部を覆う、上記封止材とは異なる材料からなるコーティング被膜とを含むことを特徴とする請求項1記載の半導体装置。

【請求項14】上記複数の半導体チップおよび半導体チップ搭載用基板を封止する封止材と、上記半導体チップ搭載用基板と上記封止材とが直接接する面積を減少させるように、上記半導体チップ搭載用基板の少なくとも一部を覆う、上記封止材とは異なる材料からなるコーティング被膜とを含むことを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、軽量かつ小型な電子機器に搭載し得る半導体装置に関するものである。

【0002】

【従来の技術】従来から、図38および図39に示すように、半導体チップ51を1個のみ内蔵する半導体装置が種々提案されている（従来技術1とする）。上記半導体装置は、通常、以下のようにして製造される。すなわち、リードフレーム54に形成されたダイパッド55の上に、銀ペースト等の熱硬化型のダイアタッチ材料53を用いて半導体チップ51を搭載する（以下、ダイボンディングと称する）。次に、上記ダイアタッチ材料53を熱処理によって硬化させ、半導体チップ51をダイパッド55に固定する（ダイボンディング工程）。

【0003】その後、半導体チップ51の素子形成面に形成された電極パッド52とリードフレーム54に形成

4

されたインナーリード56とを金ワイヤ等のボンディングワイヤ59により電気的に接続する（ワイヤボンディング工程）。さらにこれらを射止樹脂60等で射止した後、射止樹脂60がアウターリード57間に流れ出ないようにリードフレーム54に形成されたタイバー（図示せず）や、ダイパッド55を保持するために形成されたサポートリード58を切断し、アウターリード57を所望の形状に折り曲げ（フォーミング）て完成品となる。

【0004】一方、近年では、電子機器の小型化、軽量化の要求に伴い、半導体装置のメモリの増大化も要求されている。そこで、上記従来技術1を進展させ、図40および図41に示すように、ダイパッド55の表裏両面に2個の半導体チップ51a・51bを搭載するようにした半導体装置も提案されている（従来技術2とする）。上記半導体装置は、半導体チップ51a・51bの裏面（半導体チップ51a・51bの素子形成面とは反対側の面）同士が互に対向するように、例えば特願平6-297059号公報等で提案された方法によって製造される。

【0005】つまり、まずダイパッド55の一方の面に、銀または無銀ペースト等のペースト状ダイアタッチ材料53を用いて半導体チップ51aを搭載する。そして、上記ダイアタッチ材料53を熱硬化させて、半導体チップ51aをダイパッド55に固定する。続いて、ダイパッド55の他方の面に対しても同様にペースト状ダイアタッチ材料53を用いて半導体チップ51bを搭載し、上記ダイアタッチ材料53を熱硬化させて半導体チップ51bをダイパッド55に固定する。

【0006】その後、一方の半導体チップ51aの電極パッド52aとインナーリード56とを金ワイヤ等のボンディングワイヤ59aでワイヤボンディングする。続いて、他方の半導体チップ51bについても同様に電極パッド52bとインナーリード56とをボンディングワイヤ59bでワイヤボンディングして接続する。その後の工程については、上記従来技術1と同様である。

【0007】

【発明が解決しようとする課題】ところで、メモリを2倍にする等の目的でダイパッド55の表裏両面に半導体チップ51a・51bを搭載する従来の半導体装置では、ボンディングワイヤ59a・59bの長さや角度は、電極パッド52a・52bのレイアウトに依存する。つまり、電極パッド52a・52bの配置位置によっては、ボンディングワイヤ59a・59bが長くなり、隣接ワイヤ同士が交差することがある。すると、樹脂射止の際の応力により、例えばボンディングワイヤ59aが半導体チップ51aあるいは隣接ワイヤとショートしたり、ボンディングワイヤ59aのオープン（ボンディングワイヤが切れる等の現象）が発生することがある。

【0008】このため、半導体チップ51a・51bが

(4)

特開平11-3970

5

例えば同種チップ（同一チップサイズ、同一シリコン基板、および同一基板電位で動作するチップ）である場合、図40に示すように、半導体チップ51aおよび半導体チップ51bの各素子回路パターン（電極パッド52a・52bも含む）をミラー反転させて形成しなければならない。

【0009】一方、半導体チップ51a・51bが例えば異なる種類のチップ（異なるチップサイズ、異なる基板電位で動作するチップ等）である場合には、電極パッド52a・52bがそれぞれ無秩序に設けられているため、すなわち、複数チップ1パッケージという実装形態を想定せずに、各チップがそれぞれ1チップ1パッケージの実装形態で最適となるように電極パッド52a・52bが配列されているため、片方または両方の半導体チップ51a・51bの電極パッド52a・52bの配置を変更しなければならない。

【0010】このように、従来の2チップ1パッケージの半導体装置の構成では、電極パッド52a・52bのレイアウト上の問題により、半導体チップ51a・51bの少なくとも一方の設計を変更しなければならない。その結果、装置の開発期間が長くなるという問題が生ずる。

【0011】なお、半導体チップ51a・51bが同種のチップであるか否かにかかわらず、電極パッド52aまたは電極パッド52bの配置だけを変更して上記不都合を回避する簡易的な方法がある。しかし、この方法では、配線の引き回しが多くなるため、全面的に設計変更を行った場合よりも、さらに半導体チップ51a・51bのサイズが大きくなるという問題が新たに発生する。

【0012】一方、例えば特開平6-151641号公報には、上記のような電極パッド52a・52bのレイアウト上の問題を回避するよう試みた半導体装置が開示されている。この半導体装置では、図42に示すように、1個のアレイ系半導体チップ61を取り囲むようにして、リードフレーム62のアイランド63上に、絶縁回路基板64がペースト等でダイボンディングされている。そして、例えばアレイ系半導体チップ61内の電極パッドである第1パッド65とリードフレーム62とが、絶縁回路基板64上の連結帯66の一部の第1端子67を介して電気的に接続されている。

【0013】このような構成とすることにより、第1パッド65とリードフレーム62との結線方法に自由度を持たせることができるので、複数チップが搭載されるマルチチップ等に用いられるリードフレーム62の設計を容易に行うことができるようになっている。

【0014】しかし、上記半導体装置は、あくまでもダイパッドの片面へ半導体チップを搭載したものであり、ダイパッドの片面へ複数個の半導体チップを搭載してメモリの増大化を行っても、ICパッケージの面積も増大してしまう。また、上記半導体装置は、アレイ系半導体

6

チップ61を取り囲むようにして配線を設けているので、配線の本数には制約があるため、チップの種類によっては製造不可能な場合がある。さらに、上記半導体装置は、アレイ系半導体チップ61のみを考慮した構成であり、スタックド構造等において、あらゆる種類の半導体チップを考慮した構成とはなっていない。その結果、半導体装置の汎用性を広げることができないという問題が生ずる。

【0015】本発明は、上記問題点に鑑みなされたものであり、その目的は、あらゆる種類の半導体チップに対して複数チップ1パッケージ化が可能で、しかも、半導体チップの設計を変更しなくても、適正なワイヤボンディングが可能な半導体装置を提供することにある。

【0016】ここで、複数チップ1パッケージとは、半導体チップ搭載用基板の上下に少なくとも1個ずつの半導体チップがある半導体装置のことであり、例えば上下に1個ずつあれば、2チップ1パッケージとなる。

【0017】

【課題を解決するための手段】上記の課題を解決するため、請求項1に記載の半導体装置は、リードフレームの半導体チップ搭載用基板の両面に、複数の半導体チップを、そのうちの少なくとも2個が上記半導体チップ搭載用基板について互いに裏面同士を対向させるように搭載する半導体装置において、上記半導体チップ搭載用基板の少なくとも片面には、所定のパターンを有する配線パターンと、上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材料とが設けられ、上記複数の半導体チップのうちの少なくとも1個の半導体チップの電極パッドが、上記配線パターンおよび金属線を介して、上記リードフレームに形成された所定のリードと電気的に接続されていることを特徴としている。

【0018】上記の構成によれば、半導体チップは、例えば互いに左右反転の関係、あるいは上下反転の関係で裏面同士が対向するようにリードフレームに形成された半導体チップ搭載用基板、あるいは、全く異なる半導体チップを搭載する基板の、表裏両面に搭載され、例えば2チップ1パッケージのような、複数チップ1パッケージの半導体装置が構成される。

【0019】ここで、少なくとも一個の半導体チップの電極パッドは、絶縁材料によって半導体チップ搭載用基板と絶縁された配線パターンと、金属線とを介して所定のリードと電気的に接続されているので、上記配線パターンが中継点として作用する。これにより、金属線が長くなって半導体チップを隣りたり、隣接ワイヤ同士が交差したりするようなワイヤレイアウトにはならない。その結果、金属線が半導体チップあるいは隣接ワイヤとショートすることや、金属線が切れるオープン等の、不都合を確実に回避することができる。

【0020】その上、上記配線パターンを設けることによって、リードフレームの各リードにおいて必要とされ

(5)

特開平11-3970

7

る電気信号の順番と異なって電極パッドが配列されていても、同一信号が入出力される電極パッドと所定のリードとを電気的に接続することが可能となる。これにより、複数の半導体チップを搭載した半導体装置を製造する際に、従来のように各半導体チップの電極パッドの配置位置を変更しなくても済む。したがって、上記構成によれば、半導体チップの設計を変更する必要がない分、半導体装置のコストを低減することができると共に、半導体装置の開発期間を従来よりも確実に短縮することができる。

【0021】また、上記構成によれば、アレイ系半導体チップだけではなくあらゆる種類の半導体チップの組み合わせを搭載したスタックド構造が可能となる。すなわち、アレイ系半導体チップだけではなくあらゆる種類の半導体チップの組み合わせを、スタックド構造に適用することができる。このため、複数チップ1パッケージの半導体装置の汎用性を広げることができる。

【0022】請求項2記載の半導体装置は、請求項1の構成において、上記リードフレームは、互いに対向するように配置された、複数のリードからなる2つのリード群を有し、上記半導体チップ搭載用基板が、上記2つのリード群の間に配置され、上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺のうちの1組の対向する側辺が各々上記2つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンは、上記2つのリード群に含まれる少なくとも1つのリードが、上記リードが含まれるリード群と対向する半導体チップの側辺を除く側辺近傍の素子形成面上に配置される電極パッドと電気的に接続されるようにパターンニングされていることを特徴としている。

【0023】上記の構成によれば、リードフレームは、互いに対向する2つのリード群で構成される。そして、半導体チップと共に半導体チップ搭載用基板が、上記2つのリード群の間に配置される。

【0024】このとき、配線パターンによって、リード群に含まれる少なくとも1つのリードが、上記リードが含まれるリード群と対向する半導体チップの側辺を除く側辺近傍の素子形成面上に配置される電極パッドと電気的に接続される。したがって、半導体チップが同種チップ（同一チップサイズ、同一シリコン基板、および同一基板電位で動作するチップ）の場合、通常では、一方の半導体チップの素子回路パターンをミラー反転させたものを用いるが、上記構成では、上記ミラー反転させた半導体チップを形成することなしに、複数チップ1パッケージの半導体装置を得ることができる。

【0025】それゆえ、請求項1の構成による効果に加えて、半導体チップが同種（同一のチップサイズで電極パッドの配置が同じ）の場合では、素子回路パターンを

8

ミラー反転した半導体チップの作製なしに、複数チップ1パッケージの半導体装置を得ることができ、互いに全く関係のない配置で設けられた電極パッドを有する半導体チップの場合でも、上記半導体チップの設計を変更することなしに、複数チップ1パッケージの半導体装置を得ることができる。

【0026】請求項3記載の半導体装置は、請求項1の構成において、上記リードフレームは、互いに対向するように配置された、複数のリードからなる2つのリード群を有し、上記半導体チップ搭載用基板が、上記2つのリード群の間に配置され、上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺のうちの1組の対向する側辺が各々上記2つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンは、少なくとも1つのリード群と、半導体チップの素子形成面における側辺近傍に配置され、上記リード群のリードと必要とされる電気信号の順番が異なる電極パッドからなる電極パッド群とが、電気信号の順番が一致して接続されるようにパターンニングされていることを特徴としている。

【0027】上記の構成によれば、リードフレームは、互いに対向する2つのリード群で構成される。そして、半導体チップと共に半導体チップ搭載用基板が、上記2つのリード群の間に配置される。

【0028】このとき、配線パターンによって、少なくとも1つのリード群と、半導体チップの素子形成面における側辺近傍に配置され、上記リード群のリードと必要とされる電気信号の順番が異なって配列された電極パッドからなる電極パッド群とが、電気信号の順番が一致して接続される。したがって、複数チップ1パッケージという実装形態を想定せずに、各チップがそれぞれ1チップ1パッケージの実装形態で最適となるように電極パッドが配列された半導体チップを用いても、上記半導体チップの設計を変更することなしに、複数チップ1パッケージの半導体装置を得ることができる。

【0029】請求項4記載の半導体装置は、請求項1の構成において、上記リードフレームは、その2組が互いに対向するように配置された、複数のリードからなる4つのリード群を有し、上記半導体チップ搭載用基板が、上記4つのリード群で囲まれて配置され、上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺が各々上記4つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンは、上記4つのリード群に含まれる少なくとも1つのリードが、上記リードが含まれるリード群と対向する半導体チップの側辺を除く側辺近傍の素子形成面上に配置される電極パ



(6)

特開平11-3970

9

ッドと電気的に接続されるようにパターンニングされていることを特徴としている。

【0030】上記の構成によれば、リードフレームは、2組の互いに対向する4つのリード群で構成される。そして、半導体チップと共に半導体チップ搭載用基板が、上記4つのリード群に囲まれて配置される。

【0031】このとき、上記配線パターンによって、リード群に含まれる少なくとも1つのリードが、上記リードが含まれるリード群と対向する半導体チップの側辺を除く側辺近傍の素子形成面上に配置される電極パッドと電気的に接続される。したがって、異なる種類の半導体チップを用いて例えばQFP (Quad Flat Package) タイプの半導体装置を製造する場合でも、各半導体チップの設計を変更することなしに、複数チップ1パッケージの半導体装置を実現することができる。

【0032】請求項5記載の半導体装置は、請求項1の構成において、上記リードフレームは、その2組が互いに対向するように配置された、複数のリードからなる4つのリード群を有し、上記半導体チップ搭載用基板が、上記4つのリード群で囲まれて配置され、上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺が各々上記4つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンは、少なくとも1つのリード群と、半導体チップの素子形成面における側辺近傍に配置され、上記リード群のリードと必要とされる電気信号の順番が異なる電極パッドからなる電極パッド群とが、電気信号の順番が一致して接続されるようにパターンニングされていることを特徴としている。

【0033】上記の構成によれば、リードフレームは、2組の互いに対向する4つのリード群で構成される。そして、半導体チップと共に半導体チップ搭載用基板が、上記4つのリード群に囲まれて配置される。

【0034】このとき、配線パターンによって、少なくとも1つのリード群と、半導体チップの素子形成面における側辺近傍に配置され、上記リード群のリードと必要とされる電気信号の順番が異なる電極パッドからなる電極パッド群とが、電気信号の順番が一致して接続される。したがって、複数チップ1パッケージという実装形態を想定せずに、各チップがそれぞれ1チップ1パッケージの実装形態で最適となるように電極パッドが配列された半導体チップを用いた場合でも、各半導体チップの設計を変更することなしに、例えばQFPタイプで複数チップ1パッケージの半導体装置を得ることができる。

【0035】請求項6記載の半導体装置は、請求項1の構成において、上記配線パターンは、上記配線パターンが存在する面に搭載される半導体チップの存在領域を避けるようにして、半導体チップ搭載用基板の周辺部に設けられていることを特徴としている。

10

【0036】上記の構成によれば、配線パターンは、上記配線パターンが存在する面に搭載される半導体チップの存在領域を避けるようにして設けられている。この場合、半導体チップの存在領域に配線パターンは存在しないので、薄型の半導体装置を提供することができる。

【0037】請求項7記載の半導体装置は、請求項1の構成において、上記配線パターンおよび上記絶縁材料が、上記配線パターンおよび上記絶縁材料が存在する面に搭載される半導体チップの存在領域を避けるようにして、半導体チップ搭載用基板の周辺部に設けられていることを特徴としている。

【0038】上記の構成によれば、配線パターンおよび絶縁材料は、上記配線パターンおよび上記絶縁材料が存在する面に搭載される半導体チップの存在領域を避けるようにして設けられている。この場合、半導体チップの存在領域に配線パターンおよび絶縁材料は存在しないので、請求項6の構成の場合よりもさらに薄型の半導体装置を提供することができる。

【0039】請求項8記載の半導体装置は、請求項1の構成において、上記リードフレームが、上記リードフレームを搬送するためのクレードル部を備え、上記半導体チップ搭載用基板は、少なくとも上記クレードル部の厚さよりも薄く形成されていることを特徴としている。

【0040】上記の構成によれば、半導体チップ搭載用基板は、少なくともクレードル部の厚さよりも薄く形成されているので、この半導体チップ搭載用基板の表裏両面に半導体チップを搭載した場合に、薄型の複数チップ1パッケージの半導体装置を提供することができる。

【0041】請求項9記載の半導体装置は、請求項1の構成において、ウエハプロセスで上記絶縁材料もしくは絶縁層および上記配線パターンを形成した半導体基板を、リードフレームの上記半導体チップ搭載用基板の少なくとも一方の面に上記半導体チップと並べて搭載し、上記半導体チップの電極パッドが、上記配線パターンおよび上記金属線を介して上記リードと電気的に接続されていることを特徴としている。

【0042】上記の構成によれば、ウエハプロセスで配線パターンを形成するので、より微細な配線の形成が可能になる。また、ダイボンディング工程では、絶縁材料（絶縁層）および配線パターンを形成した上記半導体基板を半導体チップ搭載用基板上に搭載できるので、半導体チップ搭載用基板上に、新たな配線パターン（および絶縁材料）を形成する新規の工程を必要としない。またさらに例えば、（配線パターンが形成された）Si基板等の半導体基板は、絶縁材料として樹脂を用いた配線パターンに比べて、その熱膨張係数が、42アロイ製等のダイパッド（半導体チップ搭載用基板）の熱膨張係数と比較的近いため、ダイパッドに配線パターンを形成した後の反りが低減できる。それゆえ、より汎用性が高く安価な複数チップ1パッケージの半導体装置を得ることが

(7)

特開平11-3970

11

できる。

【0043】請求項10記載の半導体装置は、請求項1の構成において、上記半導体チップ搭載用基板上に設けられた上記配線パターン上において、配線同士が、金属線によって電気的に接続されていることを特徴としている。

【0044】それゆえ、配線パターンの配置等の自由度を向上させることができる。

【0045】請求項11記載の半導体装置は、請求項10の構成において、上記半導体チップ搭載用基板上に、上記配線パターンを1つ以上含む配線パターン群が2つ以上形成され、上記1つの配線パターン群の少なくとも一部分と、それ以外の上記1つの配線パターン群の少なくとも一部分とが、上記金属線によって電気的に接続されていることを特徴としている。

【0046】上記の構成によれば、例えば、図7、図8のダイパッド（半導体チップ搭載用基板）の反りを低減を目的として配線パターン領域を分割する場合、配線パターンと交差する方向、すなわち配線パターンを切断する方向には分割できない。しかしながら、図11、図12に示すように、配線パターン同士を金属線（第3導線）70で電気的に接続した構成とすれば、配線パターンを交差する方向すなわち配線パターンを切断する方向においても分割できる。それゆえ、配線パターンの配置等の自由度をさらに向上させることができる。

【0047】請求項12記載の半導体装置は、請求項10の構成において、上記配線パターンが、略平面上に設けられて互いに電気的に独立した第1および第2配線パターンと、1つ以上の配線パターンを有し、上記第1配線パターンと第2配線パターンとの間に設けられた第3配線パターンとを含んでおり、上記第1および第2の配線パターンが、上記金属線によって電気的に接続されていることを特徴としている。

【0048】上記の構成によれば、例えば図32内のA部に示すように、配線同士を金属線（第3導線）71によって接続することにより、多層配線を用いなくても、一層配線等、より少ない数の層からなる配線で引き回しが可能となる。それゆえ、より汎用性が高い複数チップ1パッケージの半導体装置を得ることができる。

【0049】請求項13記載の半導体装置は、請求項10の構成において、上記複数の半導体チップおよび半導体チップ搭載用基板を封止する封止材と、上記半導体チップ搭載用基板上に形成された上記配線パターンの少なくとも一部を覆う、上記封止材とは異なる材料からなるコーティング被膜とを含むことを特徴としている。

【0050】例えば、上記コーティング被膜には、上記封止材としての射止樹脂（封止樹脂）よりも配線パターンを構成する材料との接着力が高く、吸水率が低く、ガラス転移温度（Tg）が高いもの等を使用すればよい。

なお、射止樹脂（封止樹脂）は通常、エポキシ系樹脂等

12

からなる。上記コーティング被膜としては、例えばポリイミド樹脂等を用いることができる。

【0051】上記の構成によれば、通常よりも厳しい条件下で本半導体装置を実装用基板へと半田実装しても、半田実装時における配線パターンと上記封止材との界面での剥離の発生を抑えることができる。それゆえ、より高品質の複数チップ1パッケージの半導体装置を得ることができる。

【0052】請求項14記載の半導体装置は、請求項10の構成において、上記複数の半導体チップおよび半導体チップ搭載用基板を封止する封止材と、上記半導体チップ搭載用基板と上記封止材とが直接接する面積を減少させるように、上記半導体チップ搭載用基板の少なくとも一部を覆う、上記封止材とは異なる材料からなるコーティング被膜とを含むことを特徴としている。

【0053】例えば、上記コーティング被膜には、射止樹脂（封止樹脂）よりも半導体チップ搭載用基板を構成する材料との接着力が高く、吸水率が低く、ガラス転移温度（Tg）が高いもの等を使用すればよい。

【0054】上記の構成によれば、通常よりも厳しい条件下で本半導体装置を実装用基板へと半田実装しても、半田実装時における半導体チップ搭載用基板と上記封止材との界面での剥離の発生を抑えることができる。それゆえ、より高品質の複数チップ1パッケージの半導体装置を得ることができる。

【0055】

【発明の実施の形態】

【実施の形態1】本発明の実施の一形態について、図1ないし図6（d）に基づいて説明すれば、以下の通りである。

【0056】本実施形態における半導体装置は、図1および図2に示すように、板状のリードフレーム4におけるダイパッド5の表裏両面に、ペースト状の熱硬化型のダイアタッチ材料3を用いて2個の半導体チップ1a・1bを搭載した構造となっている。本実施形態では、半導体チップ1a・1bは、同一チップサイズ、同一シリコン基板、および同一基板電位で動作するチップである。

【0057】ダイアタッチ材料3は、半導体チップ1a・1bが同一種類のチップで構成される場合、一般に鱗片状銀粉を混入させた熱硬化型の銀ペーストで構成される。ただし、コスト等の兼ね合いで、球状シリカ粉末等を混入させた無銀ペースト等で構成されることもある。

【0058】一方、半導体チップ1a・1bが互いに異なる種類のチップである場合、ダイアタッチ材料3の種類としては、以下のように2つに場合分けされる。なお、ここで、異なる種類のチップである場合としては、チップサイズが異なる（電極パッド2a・2bの配置が異なる）場合を考えている。

【0059】半導体チップ1a・1bが、同一シリコン



(8)

特開平11-3970

13

基板であり、同一基板電位で動作するチップである場合は、一般に、鱗片状銀粉を混入させた熱硬化型の銀ペーストで構成される。ただし、コスト等の兼ね合いで、球状シリカ粉末等を混入させた無銀ペースト等で構成されることもある。

【0060】一方、半導体チップ1a・1bが、異なるシリコン基板であるか、または異なる基板電位で動作するチップである場合には、一般に、無銀ペーストで構成される。

【0061】図1および図4に示すように、封止部22aよりも内側に、ダイパッド5およびインナーリード6が形成され、封止部22aよりも外側に、アウターリード7が形成されている。リードフレーム4は、ダイパッド5、インナーリード6、アウターリード7、サポートリード8、クレードル部9で構成されている。ダイパッド5は、その表裏両面に半導体チップ1a・1bが搭載される半導体チップ搭載用基板である。このダイパッド5およびインナーリード6は、後述の射止樹脂22等で半導体チップ1a・1bと共に封止（モールド）されるようになっている。サポートリード8は、ダイパッド5を支持するためのものであり、クレードル部9は、リードフレーム4を搬送する際に用いられる。

【0062】なお、本実施形態では、リードフレーム4は、図1に示すように、複数のインナーリード6および複数のアウターリード7からなり、互いに対向して設けられる2つのリード群4a・4bを有している。半導体チップ1a・1bが搭載されるダイパッド5は、この2つのリード群4a・4bの間に設けられるようになっている。

【0063】図2に示すように、ダイパッド5の少なくとも一方の面（本実施形態では、ダイパッド5における半導体チップ1aが搭載される側の面）には、絶縁材料11、絶縁材料10、配線パターン12、および絶縁材料13がこの順で積層されている。したがって、配線パターン12は、絶縁材料10・11によってダイパッド5と絶縁されると共に、絶縁材料13によって半導体チップ1aと絶縁されることになる。

【0064】絶縁材料10は、例えばポリイミド系樹脂であり、絶縁材料11は、一般にダイアタッチ材料3としても使用される熱可塑性の絶縁材料である。絶縁材料13は、例えばポリイミド系樹脂製の絶縁膜である。

【0065】図1に示すように、配線パターン12は、銅箔等の金属箔で所定のパターンに形成された配線12aと、電極12bとを有している。なお、上記所定のパターンについては後述する。上記電極12bは、半導体チップ1aの電極パッド2aと配線12aとを後述のボンディングワイヤ14a・14bで電気的に接続し易い様に、また、上記配線12aとインナーリード6とをボンディングワイヤ15a・15bで電気的に接続し易いように、上記配線12aと電気的に接続されて設けられ

14

ている。また、配線パターン12におけるリード群4a・4bとそれぞれ対向した位置には、複数の電極12bからなる電極群12b<sub>1</sub>・12b<sub>2</sub>がそれぞれ形成されている。

【0066】ここで、以下での説明の便宜上、図3(a)および図3(b)に示すように、略四辺形を成す半導体チップ1a・1bの素子形成面上から見て、当該半導体チップ1a・1bの4つの頂点を、反時計回りにそれぞれ1a<sub>1</sub>・1a<sub>2</sub>・1a<sub>3</sub>・1a<sub>4</sub>、および1b<sub>1</sub>・1b<sub>2</sub>・1b<sub>3</sub>・1b<sub>4</sub>とする。つまり、同一位置の頂点には同一の添え数字を付して表すことにする。

【0067】半導体チップ1aは、その素子形成面上で、側辺(1a<sub>1</sub> - 1a<sub>2</sub>)の近傍に複数の電極パッド2aからなる電極パッド群2a<sub>1</sub>を備えている一方、側辺(1a<sub>4</sub> - 1a<sub>3</sub>)の近傍に複数の電極パッド2aからなる電極パッド群2a<sub>2</sub>を備えている。同様に半導体チップ1bは、その素子形成面上で、側辺(1b<sub>1</sub> - 1b<sub>2</sub>)の近傍に複数の電極パッド2bからなる電極パッド群2b<sub>1</sub>を備えている一方、側辺(1b<sub>4</sub> - 1b<sub>3</sub>)の近傍に複数の電極パッド2bからなる電極パッド群2b<sub>2</sub>を備えている。

【0068】一般的に、半導体装置がメモリデバイスである場合、チップイネイブル端子（スタンバイ状態またはアクティブ状態を選択するために設けられた電極パッド）以外においては、同一信号が入出力される電極パッドを同一のインナーリードに電気的に接続すればよい。

【0069】そこで、本実施形態では同一種類の半導体チップ1a・1bが、互いに左右反転した状態で、その裏面同士が対向するようにダイパッド5上に設けられている。つまり、半導体チップ1a・1bは、その裏面同士（素子形成面と反対側の面同士）を対向させたときに、半導体チップ1aの側辺(1a<sub>1</sub> - 1a<sub>2</sub>)が、半導体チップ1bの側辺(1b<sub>4</sub> - 1b<sub>3</sub>)に、また、半導体チップ1aの側辺(1a<sub>4</sub> - 1a<sub>3</sub>)が、半導体チップ1bの側辺(1b<sub>1</sub> - 1b<sub>2</sub>)にそれぞれ重なるように設けられる。

【0070】なお、入出力端子（電極パッド）がある程度共用できる半導体チップを用いた場合には、配線の本数が減るか否かで、各半導体チップを互いに左右反転させるか、上下反転させる（後述の実施形態で説明する）かを決めればよい。

【0071】そして、後に詳述するが、上記配線パターン12の配線12aが、以下のようにパターンニングされている。すなわち、半導体チップ1aの側辺のうち、側辺(1a<sub>1</sub> - 1a<sub>2</sub>)はリード群4aと対向し、側辺(1a<sub>4</sub> - 1a<sub>3</sub>)はリード群4bと対向している。電極パッド2a...には、半導体チップ1aの側辺のうち、リード群4aと対向している側辺(1a<sub>1</sub> - 1a<sub>2</sub>)の近傍の素子形成面上に配置されたもの（図3(a)中、電極パッド群2a<sub>1</sub>）と、この側辺を除く側辺の近傍の

15

素子形成面上に配置されたもの(図3(a)中、電極パッド群2a<sub>2</sub>)とがある。

【0072】そして、リード群4aのほうに含まれている少なくとも1つのインナーリード6が、上記のうちの後者、すなわちリード群4aと対向する半導体チップ1aの側辺(1a<sub>1</sub> - 1a<sub>2</sub>)を除く側辺(ここでは(1a<sub>4</sub> - 1a<sub>3</sub>))の近傍に配置された電極パッド2aに、電気的に接続される。同様に、リード群4bのほうに含まれる少なくとも1つのインナーリード6が、上記リード群4bと対向する半導体チップ1aの側辺(1a<sub>4</sub> - 1a<sub>3</sub>)を除く側辺(ここでは(1a<sub>1</sub> - 1a<sub>2</sub>))の近傍の素子形成面上に配置された電極パッド2aに、電気的に接続される。配線12aは、このようにパターンニングされている。

【0073】より詳細には、電極パッド群2a<sub>1</sub>の電極パッド2aが、リード群4bのインナーリード6に電気的に接続されるようになっていて、その接続を実現するために、上記電極パッド群2a<sub>1</sub>の電極パッド2aが、ボンディングワイヤ14aを介して電極群12b<sub>1</sub>の電極12bに電気的に接続され、その電極群12b<sub>1</sub>の電極12bが、配線12aを介して電極群12b<sub>2</sub>の電極12bに電気的に接続され、その電極群12b<sub>2</sub>の電極12bが、ボンディングワイヤ15aを介してリード群4bのインナーリード6に電気的に接続されている。

【0074】また、同様に、電極パッド群2a<sub>2</sub>の電極パッド2aが、リード群4aのインナーリード6に電気的に接続されるように、上記電極パッド2aが、電極群12b<sub>2</sub>の電極12bにボンディングワイヤ14bによって電気的に接続され、電極群12b<sub>2</sub>の電極12bが、配線12aを介して電極群12b<sub>1</sub>の電極12bに電気的に接続され、電極群12b<sub>1</sub>の電極12bが、リード群4aのインナーリード6にボンディングワイヤ15bによって電気的に接続されている。

【0075】一方、半導体チップ1bの電極パッド2bのうち、電極パッド群2b<sub>1</sub>のほうに含まれる電極パッド2bは、それらの電極パッドに入出力されるのと同じ信号が入出力される電極パッドである、電極パッド群2a<sub>1</sub>のほうに含まれる電極パッド2aに電気的に接続された、リード群4bのほうのインナーリード6に、ボンディングワイヤ16aによって電気的に接続されている。

【0076】また、同様に、半導体チップ1bの電極パッド2bのうち、電極パッド群2b<sub>2</sub>のほうに含まれる電極パッド2bは、それらの電極パッドに入出力されるのと同じ信号が入出力される電極パッドである、電極パッド群2a<sub>2</sub>のほうに含まれる電極パッド2aに電気的に接続された、リード群4aのほうのインナーリード6に、ボンディングワイヤ16bによって電気的に接続されている。

【0077】次に、本実施形態の半導体装置の製造方法

(9)

特開平11-3970

16

について、図5(a)～図6(d)に基づいて説明する。なお、ダイパッド5上に配線パターン12を形成する手段としては、ダイパッド5上に絶縁層と配線パターン12とを順次積層させていく方法をはじめ、あらゆる方法が考えられる。本実施形態では、TCP(Tape Carrier Package)等で用いられるキャリアテープのうちから、二層テープ(TCP等では一般に二層テープと呼ばれている)をダイパッド5に貼り付ける方法を例に挙げて説明する。

【0078】まず、図5(a)に示すように、Cu箔等の金属箔20上に、ワニス状ポリイミド系樹脂からなる絶縁材料10を均一に塗布し、加熱処理を行って溶剤分を蒸発させ薄膜を形成する。次に、図5(b)に示すように、一般にLOC(Lead On Chip)等においてダイアタッチ材料としても使用される熱可塑性の絶縁材料11を、ワニス状で絶縁材料10の上に均一に塗布し、加熱処理を行って薄膜を形成する。そして、次に、送り穴としてのスプロケットホール21も形成する。なお、このとき、熱応力の緩和のためにスリット等を設けても良い。

【0079】続いて、図5(c)に示すように、金属箔20をエッチングし、所定の图案の配線12aおよび電極12b等からなる配線パターン12を形成する。本実施形態ではさらに、上記配線パターン12上に電解Niメッキを施し、さらにその上に電解Auメッキを施す。

【0080】上記配線12aは、複数本形成され(図1参照)、すべて、後に載置される半導体チップ1aの所定の側辺に平行になっている。

【0081】なお、以後では、絶縁材料10と配線パターン12とから成る二層のテープ状材料(ただし絶縁材料11は含まない)を、一層配線テープ(TCP等では一般に二層テープと呼ばれている)と記載する。また、一層配線テープを所望の形状に切断したものをここで一層配線基板と記載する。

【0082】次に、図5(d)に示すように、配線パターン12における、絶縁材料10および絶縁材料11が積層された面とは反対の面、すなわちダイパッド5への接着面とは反対側の面上に、ポリイミド系樹脂製の絶縁材料13を形成する。これにより、配線パターン12と後述の半導体チップ1aとが絶縁されるようになる。そして、絶縁材料11と絶縁材料13とが形成された、絶縁材料10と配線パターン12とから成る一層配線テープを、所望の形状に切断して一層配線基板とし、ダイパッド5に貼り付ける。

【0083】続いて、図5(e)に示すように、ダイパッド5の片面、すなわちここでは、絶縁材料13が形成された面の上に、ペースト状のダイアタッチ材料3を用いて1個目の半導体チップ1aをダイボンディングし、180℃で1時間の条件で上記ダイアタッチ材料3を熱

(10)

特開平11-3970

17

硬化させる。なお、半導体チップ1aよりも半導体チップ1bを先にダイボンディングしても構わない。

【0084】本実施形態では、半導体チップ1a・1bが、同一チップサイズ、同一シリコン基板、および同一基板電位で動作するチップであるので、上記ダイアタッチ材料3としては、鱗片状銀粉を混入させた銀ペーストを用いる。

【0085】次に、図6(a)に示すように、リードフレーム4(図4参照)を裏返し、ダイパッド5の反対面も同様にして2個目の半導体チップ1bをダイボンディングする。このとき、すでにダイボンディングを終えた半導体チップ1aを弾性体で支える等により、半導体チップ1aにダメージを与えないようにする。そして、180℃で1時間の条件でダイアタッチ材料3を熱硬化させる。

【0086】続いて、半導体チップ1aの電極パッド2aと配線パターン12の電極12bとをボンディングワイヤ14a・14bにより電気的に接続(ワイヤボンディング)する。

【0087】その後、図6(b)に示すように、電極12bとリードフレーム4のインナーリード6とをボンディングワイヤ15a・15bにより電気的に接続(ワイヤボンディング)する。

【0088】なお、ダイボンディング時と同様、半導体チップ1aよりも先に半導体チップ1bにおいてワイヤボンディングを行っても構わない。また、ボンディングワイヤ15a・15bによるワイヤボンディングを、ボンディングワイヤ14a・14bによるワイヤボンディングよりも先に行っても良い。

【0089】次に、図6(c)に示すように、リードフレーム4を裏返し、同様にして半導体チップ1bの電極パッド2bとインナーリード6とをボンディングワイヤ16a・16bで電気的に接続(ワイヤボンディング)する。

【0090】ワイヤボンディング時においては、超音波と加熱を併用した超音波熱圧着法を用い(加熱温度250℃)、ダイボンディング時と同様に、弾性体により半導体チップ1a・1bの素子形成面を支えてワイヤボンディングを行う。

【0091】その後、図6(d)に示すように、これらを射止樹脂22等で射止した後、射止樹脂22がアウターリード7間に流れ出ないようにリードフレーム4に形成されたタイバー(図示せず)や、ダイパッド5を保持するために形成されたサポートリード8(図4参照)を切断し、アウターリード7を所望の形状に折り曲げる。

【0092】上記の構成によれば、各半導体チップ1a・1bがダイパッド5の表裏両面に搭載されて、2チップ1パッケージの半導体装置が構成される。これにより、1チップ1パッケージの半導体装置に比べ、メモリ容量が増加するので、電子機器内に搭載される部品の点

18

数を減少させることができる。したがって、軽量かつ小型の電子機器の製造に大きく貢献できる半導体装置を提供することができる。

【0093】また、配線パターン12が、電極パッド2aとインナーリード6との中継点として作用するので、上記配線パターン12と上記インナーリード6とを電気的に接続するボンディングワイヤ14a・14bの長さを短くできる。このため、樹脂射止の際の応力等が原因で、ボンディングワイヤが半導体チップ1aあるいは隣接ワイヤとショートしたりボンディングワイヤのオープン(ボンディングワイヤが切れる)が起こったりする等の不都合を、上記構成によって確実に回避することができる。

【0094】さらに、配線パターン12を設けている。このため、リードフレーム4の各インナーリード6において必要とされる電気信号の順番が異なって電極パッド2a・2bが配列されていても、同一信号が入出力される電極パッド2a・2bと所定のインナーリード6とを電気的に接続することが可能となる。これにより、複数の半導体チップ1a・1bを搭載した半導体装置を製造する際に、各半導体チップ1a・1bの電極パッド2a・2bの配置位置を変更しなくても済む。したがって、上記構成によれば、半導体チップ1a・1bの設計を変更する必要がない分、半導体装置のコストを低減することができると共に、半導体装置の開発期間を従来よりも確実に短縮することができる。

【0095】なお、本発明によれば、アレイ系半導体チップのみならずあらゆる種類の半導体チップ同士を搭載してスタックド構造とした複数チップ1パッケージの半導体装置を構成することができる。したがって、複数チップ1パッケージの半導体装置の汎用性を広げることができる。

【0096】〔実施の形態2〕本発明の実施の他の形態について、図7ないし図12に基づいて説明すれば、以下の通りである。なお、説明の便宜上、実施の形態1の図面に付した部材と同一の機能を有する部材には同一の部材番号を付記し、その説明を省略する。

【0097】実施の形態1における半導体装置と比較して異なるところは、図7および図8に示すように、ダイパッド5上の少なくとも配線パターン12が、上記半導体チップ1aの存在領域を避けるように、つまり、半導体チップ1aの周辺部のみに設けられていることである。本実施形態では、ダイパッド5上の絶縁材料10・11もまた、半導体チップ1aの存在領域を避けるように設けられている。このような半導体装置の製造方法について、図9(a)～図10(d)に基づいて説明する。

【0098】まず、図9(a)に示すように、実施の形態1と同様、Cu箔等の金属箔20上に絶縁材料10をワニス状で均一に塗布し、加熱処理を行って溶剤分を蒸

19

発させ薄膜を形成する。

【0099】次に、図9(b)に示すように、ワニス状の絶縁材料11を絶縁材料10の上に均一に塗布し、加熱処理を行って薄膜を形成する。そして、金属箔20および絶縁材料10・11において、半導体チップ1aが搭載される領域を金型により打ち抜き、半導体チップ搭載用逃げ穴23を形成すると共に、送り穴としてのスプロケットホール21も形成する。なお、このとき、熱応力の緩和のためにスリット等を設けても良い。

【0100】続いて、図9(c)に示すように、金属箔20をエッチングし、所定のパターンの配線12aおよび電極12b等を含む配線パターン12を形成する。このとき、配線12aは、半導体チップ1aの存在領域を避けるようにパターニングされ、半導体チップ搭載用逃げ穴23の周辺部に形成される。その後、上記配線パターン12上に電解Niメッキを施し、さらにその上に電解Auメッキを施す。

【0101】上記配線12aは、複数本形成され(図7参照)、同一配線内の2つの電極12b・12bを結ぶ直線は、すべて、後に載置される半導体チップ1aの所定の側辺に平行になっている。

【0102】次に、図9(d)に示すように、熱圧着により、絶縁材料11によって基板をダイパッド5上に貼り付ける。

【0103】その後は、実施の形態1と全く同様である。図9(e)に示すように、ダイアタッチ材料3を用いて半導体チップ1a・1bをダイボンディングする。その後、図10(a)～図10(d)に示すように、半導体チップ1aの電極パッド2aと配線パターン12の電極12bとのワイヤボンディング、および、電極12bとリードフレーム4のインナーリード6とのワイヤボンディングを行う。ダイパッド5の裏面に搭載される半導体チップ1bに対しても同様にワイヤボンディングを行う。その後、樹脂射止を行う。

【0104】上記の構成によれば、配線パターン12となる金属箔20、および、絶縁材料10・11について、例えば半導体チップ1aの存在領域の部分を打ち抜いて形成することにより、半導体チップ1aの存在領域に配線パターン12および絶縁材料10・11が存在しない分、薄型の半導体装置を実現することができる。

【0105】なお、本実施形態では、配線基板として、半導体チップ1aの搭載領域が打ち抜かれた1枚の一層配線基板を用いているが、図11および図12に示すように、一層配線基板を2分割した2分割配線基板12'・12'を設けるようにしてもよい。1枚の一層配線基板を用いた場合には、一層配線基板とダイパッド5とを接着した後、熱膨張係数の差によって一層配線基板に反りが生じていたが、2分割配線基板12'・12'を用いた場合には、このような反りは低減された。このように配線パターンと交差する方向に配線基板を分割する場

(11)

特開平11-3970

20

合には、金属線70(第3導線)を用いたワイヤボンディングにより、配線パターン群12a1を構成する配線12a1と、配線パターン群12a2を構成する配線12a2との間を接続する。

【0106】〔実施の形態3〕本発明の実施のさらに他の形態について、図13ないし図18に基づいて説明すれば、以下の通りである。なお、説明の便宜上、実施の形態1または2の図面に付した部材と同一の機能を有する部材には同一の部材番号を付記し、その説明を省略する。

【0107】本実施形態では、図13および図14に示すように、同一種類の半導体チップ1a・1bが、互いに上下反転した状態で、その裏面同士が対向するようにダイパッド5上に設けられている。つまり、半導体チップ1a・1bは、その裏面同士(素子形成面と反対側の面同士)を対向させたときに、図3において、半導体チップ1aの側辺(1a1-1a4)が、半導体チップ1bの側辺(1b1-1b4)に、半導体チップ1aの側辺(1a2-1a3)が、半導体チップ1bの側辺(1b2-1b3)にそれぞれ重なるように設けられている。そして、同一信号が入出力される電極パッド2a・2b同士が同一のインナーリード6に電気的に接続されるように、配線12aが以下のようにパターニングされていると共に、電極パッド2aと電極12b、電極12bとインナーリード6とがワイヤボンディングされている。

【0108】すなわち、電極パッド群2a1内の電極パッド2a1aは、半導体チップ1aの素子形成面における側辺近傍に配置されており、リード群4aのインナーリード6で必要とされている電気信号の順番と、電極パッド2aの順番とが、異なって配列されている。同様に、電極パッド群2a2内の電極パッド2a2aは、半導体チップ1aの素子形成面における側辺近傍に配置されており、リード群4bのインナーリード6で必要とされている電気信号の順番と、電極パッド2aの順番とが、異なって配列されている。そして、上記配線12aによって、リード群4aの各インナーリード6に必要とされる電気信号が導かれるように、インナーリード6と上記電極パッド群2a1とが接続され、かつ、リード群4bの各インナーリード6に必要とされる電気信号が導かれるように、インナーリード6と上記電極パッド群2a2とが接続されるように、パターニングされている。

【0109】すなわち、配線12aは、図13に示す対称軸LL'に対して互に対称な位置にある電極12b同士を電気的に接続するようにパターニングされている。なお、半導体チップによっては入出力端子(電極パッド)をある程度共用できるが、その場合においては対称な位置関係とはならないことが多い。

【0110】そして、電極パッド群2a1の電極パッド2a1aが、リード群4aのインナーリード6と電気的に接

(12)

特開平11-3970

21

続されるように、上記電極パッド2aと電極12bとがボンディングワイヤ14aでボンディングされていると共に、上記電極12bと対称軸LL'に対して対称な位置にある電極12bと、上記インナーリード6とが、ボンディングワイヤ15bでボンディングされている。

【0111】また、電極パッド群2a<sub>1</sub>の電極パッド2a<sub>1</sub>が、リード群4bのインナーリード6と電気的に接続されるように、上記電極パッド2aと電極12bとがボンディングワイヤ14bでボンディングされていると共に、上記電極12bと対称軸LL'に対して対称な位置にある電極12bと、上記インナーリード6とが、ボンディングワイヤ15aでボンディングされている。

【0112】一方、半導体チップ1bの電極パッド群2b<sub>1</sub>の電極パッド2b<sub>1</sub>は、同一信号が入出力される電極パッド群2a<sub>1</sub>の電極パッド2aと電気的に接続されたリード群4aのインナーリード6に、ボンディングワイヤ16bによって電気的に接続されている。一方、電極パッド群2b<sub>2</sub>の電極パッド2b<sub>2</sub>は、同じく、同一信号が入出力される電極パッド群2a<sub>2</sub>の電極パッド2aと電気的に接続されたリード群4bのインナーリード6に、ボンディングワイヤ16aによって電気的に接続されている。

【0113】次に、本実施形態の半導体装置の製造方法について、図15(a)～図16(d)に基づいて説明する。

【0114】まず、図15(a)に示すように、実施の形態1と同様に、Cu箔等の金属箔20上に絶縁材料10をワニス状態で均一に塗布し、加熱処理を行って溶剤分を蒸発させ薄膜を形成する。

【0115】次に、図15(b)に示すように、金属箔20および絶縁材料10において、半導体チップ1aが搭載される領域を金型により打ち抜き、半導体チップ搭載用逃げ穴23を形成すると共に、送り穴としてのスプロケットホール21も形成する。なお、このとき、熱応力の緩和のためにスリット等も設けても良い。

【0116】続いて、図15(c)に示すように、金属箔20をエッチングし、所定のパターンの配線12aおよび電極12b等を含む配線パターン12を形成する。その後、上記配線パターン12上に電解Niメッキを施し、さらにその上に電解Auメッキを施す。

【0117】次に、図15(d)に示すように、ダイパッド5の半導体チップ1aが搭載される側の表面に、ダイパッド5とほぼ同じサイズでシート状の絶縁材料11をあらかじめ貼り付けた後、配線パターン12および絶縁材料10からなる一層配線基板を熱圧着によってダイパッド5に接合する。なお、絶縁材料11は、一層配線基板をダイパッド5に接合するための接着材料として働くとともに、半導体チップ1aと半導体チップ1bとを絶縁する役割も果たすことができる。本実施形態では、同じ種類の半導体チップ1aと1bとを用いているが、

22

異なる基板電位等の条件下で動作する半導体チップを組み合わせる場合に、上記絶縁材料11が役立つ。

【0118】その後は、実施の形態1または2と同様である。図15(e)に示すように、ダイアタッチ材料3を用いて半導体チップ1a・1bをダイボンディングする。その後、図16(a)～図16(d)に示すように、半導体チップ1aの電極パッド2aと配線パターン12の電極12bとのワイヤボンディング、および、電極12bとリードフレーム4のインナーリード6とのワイヤボンディングを行う。ダイパッド5の裏面に搭載される半導体チップ1bに対しても同様にワイヤボンディングを行う。その後、樹脂射注を行う。

【0119】上記の構成によれば、少なくとも1つのリード群4aと、半導体チップ1aの素子形成面における側辺近傍に配置され、上記リード群4aのインナーリード6において必要とされる電気信号の順番と異なって配列された電極パッド2aからなる電極パッド群2a<sub>1</sub>とが、配線パターン12によって、リード群4aの各インナーリード6において必要とされる電気信号を導くように接続される。したがって、電極パッド2a・2bが無秩序に配列された半導体チップ1a・1bを用いても、すなわち、複数チップ1パッケージという実装形態を想定せずに、各チップがそれぞれ1チップ1パッケージの実装形態で最適となるように電極パッド2a・2bが配列された半導体チップ1a・1bを用いた場合であっても、半導体チップ1a・1bの設計を変更することなしに、2チップ1パッケージの半導体装置を得ることができる。

【0120】なお、本実施形態では、配線基板として、半導体チップ1aの搭載領域が打ち抜かれた1枚の一層配線基板を用いているが、図17および図18に示すように、一層配線基板を2分割した2分割配線基板12'・12'を設けるようにしてもよい。1枚の一層配線基板を用いた場合には、一層配線基板とダイパッド5とを接着した後、熱膨張係数の差によって一層配線基板に反りが生じていたが、2分割配線基板12'・12'を用いた場合には、このような反りは低減された。なお、異なる基板電位で動作する半導体チップ等を搭載する場合は、絶縁材料11を、半導体チップ(1aまたは1b)の裏面にも設ける必要がある。

【0121】〔実施の形態4〕本発明の実施のさらに他の形態について、図19ないし図33に基づいて説明すれば、以下の通りである。なお、説明の便宜上、実施の形態1ないし3の図面に付した部材と同一の機能を有する部材には同一の部材番号を付記し、その説明を省略する。なお、本実施形態では、互いに異なる種類の半導体チップ1a・1bを用いたQFP(Quad Flat Package)タイプの半導体装置について説明する。

【0122】本実施形態では、図19および図20に示すように、リードフレーム4(図4参照)が4つのリー

(13)

特開平11-3970

23

ド群4a・4b・4c・4dを有して構成され、上記4つのリード群4a・4b・4c・4dに囲まれるようにしてそのほぼ中央に、絶縁材料10・11・13と配線パターン25・26とを備えたダイパッド5が設けられている。上記4つのリード群4a・4b・4c・4dのうち、リード群4aとリード群4b、リード群4cとリード群4dとは、それぞれ互いに対向するように配置されている。

【0123】本実施形態における半導体チップ1a・1bは、図21(a)および図21(b)に示すように、異なるチップサイズ(電極パッド2a・2bの配置が異なる)であり、かつ、異なる基板電位で動作するチップである。

【0124】半導体チップ1aは、絶縁材料13(図20参照)およびダイアタッチ材料3を介して二層配線基板24上に搭載されている。一方、半導体チップ1bは、ダイパッド5の裏面、すなわち、半導体チップ1aの搭載側と反対側の面にダイアタッチ材料3を介して搭載されている。

【0125】上記配線パターン25は、所定のパターンで形成された配線25a(図19参照)および電極25bからなっている。また、上記配線パターン26は、所定のパターンで形成された配線26aおよび電極26bからなっている。そして、絶縁材料10が上記配線パターン25・26によって挟持されて、二層配線基板24が形成されている。この二層配線基板24は、ダイパッド5上に、絶縁材料11を介して設けられる。

【0126】上記配線25aおよび上記配線26aは、以下のようにパターンニングされている。すなわち、上記4つのリード群4a・4b・4c・4dに含まれる少なくとも1つのインナーリード6が、このインナーリード6が含まれるリード群と対向する半導体チップの側辺を除く、側辺の近傍の、素子形成面上に配置されている電極パッド2aと電気的に接続されるように、上記配線25aおよび上記配線26aがパターンニングされている。例えば、リード群4aを例にとると、リード群4aに含まれているインナーリード6と、半導体チップ1aの、側辺(1a1-1a2)を除く側辺の近傍の、素子形成面上に配置されている電極パッド2aとが互いに電気的に接続されるように、上記配線25aおよび配線26aがパターンニングされている。

【0127】また、上記配線25aおよび上記配線26aは、以下のようにパターンニングされている。すなわち、まず、少なくとも1つのリード群、例えばリード群4aに、複数本のインナーリード6が設けられ、それぞれ、所定の電気信号を受け持っている。一方、電極パッド群を構成する電極パッド2aは、上述のように半導体チップ1aの素子形成面における側辺近傍に複数個配置されており、また、それら複数個の電極パッド2aは、自身の電気信号の順番と、上記リード群4aのインナー

24

リード6に割り振られた電気信号の順番とが、互いに異なるような配列で並べられている。そして、このような配列にもかかわらず、上記のリード群4aと、このような電極パッド2aからなる電極パッド群とが、電気信号の順番が一致して接続されるような配線パターンとなるように、上記配線25aおよび上記配線26aがパターンニングされている。

【0128】なお、図19では、配線パターン25・26(図20参照)が、絶縁材料13を介して半導体チップ1aの存在領域を避けるようにして設けられているが、半導体チップ1aの存在領域に設けられていてもよい。

【0129】そして、半導体チップ1a上の電極パッド2aと、所定のインナーリード6とが電気的に接続されるように、半導体チップ1a上の電極パッド2aと電極25b(または電極26b)とがボンディングワイヤ14でボンディングされていると共に、配線25a(または配線26a)によって上記電極25b(または電極26b)と電気的に接続された別の電極25b(または電極26b)と、所定のインナーリード6とが、ボンディングワイヤ15でボンディングされている。

【0130】一方、ダイパッド5の裏面に搭載される半導体チップ1bの電極パッド2bは、ボンディングワイヤ16で、所定のインナーリード6と電気的に接続されている。

【0131】次に、本実施形態の半導体装置の製造方法について、図22(a)ないし図22(e)に基づいて説明する。

【0132】ダイパッド5の上に多層の配線パターンを形成する手段としてあらゆる方法が考えられるが、ここでは、ポリイミド系絶縁材料10と金属箔20とを組み合わせた構造の二層配線基板24をダイパッド5に貼り付けたものについて記載する。

【0133】まず、図22(a)に示すように、Cu箔などの金属箔20の上にワニス状ポリイミド系樹脂等の絶縁材料10を均一に塗布し、加熱処理を行って溶剤分を蒸発させ薄膜とする。ただし、ここでは溶剤分を完全には蒸発させない。

【0134】次に、図22(b)に示すように、先ほど完全には溶剤を蒸発させなかった絶縁材料10上に同じくCu箔などの金属箔20を貼り付け、ここで完全に溶剤分を蒸発させる。続いて、図22(c)に示すように、絶縁材料10の両面に存在する金属箔20をエッチング処理することにより、配線パターン25・26をそれぞれ形成する。

【0135】その後、図22(d)に示すように、絶縁材料10についてもエッチングすることにより、1層目の配線パターン25の電極25bの位置に窓開けを行った。これは、その後のワイヤボンディング工程において、2層目の配線パターン26側から上記電極25bに



(14)

特開平11-3970

25

対してワイヤボンディングを行うためである。

【0136】次に、配線パターン25・26に電解Niメッキと電解Auメッキとを順に施す。以後、絶縁材料10の両面に配線パターン25・26を形成したテープ状材料（ただし、絶縁材料11は含まない）を二層配線テープと記載する。また、二層配線テープを所望の形状に切断したもの（絶縁材料11は含まない）をここでは既出のように二層配線基板24と記載している。

【0137】続いて、図22(e)に示すように、一般にLOC(Lead On Chip)等においてダイアタッチ材料として使用される熱可塑性の絶縁材料11を、ワニス状で配線パターン25上に塗布し、加熱処理を行う。なお、この塗布を行う際には、加熱処理後において絶縁材料11の表面が凹凸にならないように、半導体チップ1aの搭載領域となる部分には厚めに塗布しておく。

【0138】その後、実施の形態1と同様にして（図5(b)参照）、送り穴としてのスプロケットホール21を形成し、次いで、配線パターン26の、半導体チップ1a搭載側にポリイミド系樹脂製の絶縁材料13を形成し、所望の形状とした二層配線基板24を、絶縁材料11を介してダイパッド5に熱圧着により貼り付ける。次いで、二層配線基板24を貼り付けたダイパッド5の表裏両面に、それぞれダイアタッチ材料3を用いて、半導体チップ1a・1bをダイボンディングする。なお、本実施形態では、互いに異なる種類であり、しかも異なる基板電位で動作する半導体チップ1a・1bを用いたので、上記ダイアタッチ材料3としては、球状シリカ粉末を混入させた熱硬化型の無銀ペーストを用いる。

【0139】そして、電極パッド2aと所望の電極25b（または電極26b）とをボンディングワイヤ14で、また、インナーリード6と所望の電極25b（または電極26b）とをボンディングワイヤ15で、それぞれワイヤボンディングする。一方、ダイパッド5の裏面に搭載された半導体チップ1bの電極パッド2bについても、ボンディングワイヤ16で、所望のインナーリード6とワイヤボンディングする。

【0140】上記の構成によれば、半導体チップ1a・1bが、互いに異なる種類のチップであり、電極パッド2a・2bが、それぞれ無秩序に配列されていても、すなわち、複数チップ1パッケージという実装形態を想定せずに、各チップがそれぞれ1チップ1パッケージの実装形態で最適となるように電極パッド2a・2bが配列された半導体チップ1a・1bを用いた場合でも、1層目の配線パターン25と2層目の配線パターン26とを自由に引き回すことによって、電極パッド2a・2bと、それと接続すべきインナーリード6とを、電気的に接続することができる。したがって、実際、インナーリード6と接続が困難なように電極パッド2a・2bが配置されていても、適正なワイヤボンディングによって、実施の形態1ないし3と同様の効果を得ることができ

26

る。

【0141】また、例えば図23および図24に示すように、配線パターン25・26および絶縁材料10・13・11が、半導体チップ1aの存在領域を避けるように、半導体チップ1aの周囲に設けられるようにしてもよい。

【0142】この場合には、図22(e)の工程において、二層配線テープの表裏面に絶縁材料11・13を形成した後、上記二層配線テープにおける半導体チップ1aが搭載される領域およびその近傍を金型により打ち抜き、さらに、上記二層配線テープを所定の形状に切断して二層配線基板24とし、この二層配線基板24を、熱圧着によってダイパッド5に貼り付けられればよい。このような場合には、半導体チップ1aの存在領域に配線パターン25・26および絶縁材料10・13・11がない分、装置の厚さを薄くすることができる。

【0143】その場合、半導体チップ1a・1bは、異なるチップサイズ（電極パッド2a・2bの配置が異なる）ではあるが、同一のシリコン基板であり、かつ同一基板電位で動作するものである必要がある。ところが、半導体チップ1a・1bが互いに異なるシリコン基板であるか、または異なる基板電位で動作する場合においては、半導体チップ1a・1b間を絶縁しなければならない。

【0144】そこで、図25および図26に示すように、あらかじめダイパッド5上に設けた絶縁材料11を介して二層配線基板24を設けるようにした半導体装置を構成してもよい。この場合は、二層配線基板24において半導体チップ1aの搭載領域に該当箇所を開けしめた後で絶縁材料11を絶縁材料10上に塗布するのではなく、ダイパッド5上に当該ダイパッド5とほぼ同じサイズのシート状の絶縁材料11を熱圧着により貼り付け、この絶縁材料11を介して二層配線基板24をダイパッド5に貼り付けられればよい。

【0145】なお、異なる種類の半導体チップ（異なるシリコン基板であるか、または異なる基板電位で動作する半導体チップ）1a・1b間を絶縁するのに、シート状ポリイミド系絶縁材料11を用いず、図27および図28に示すように、ダイパッド5上にポリイミド系の絶縁樹脂27を点または線状に描画するようにした半導体装置を構成してもよい。この半導体装置の製造方法は、以下の通りとなる。

【0146】二層配線基板24の配線パターン25側の面に絶縁材料11を形成するまで（図22(e)の工程まで）は、上記と同様である。その後、図29(a)に示すように、二層配線基板24および絶縁材料11において、半導体チップ1aが搭載される領域およびその外周部近傍を金型により打ち抜いて、半導体チップ搭載用逃げ穴23およびスプロケットホール21を形成する。

【0147】ところで、二層配線テープから所望の形状

(15)

特開平11-3970

27

に切断した二層配線基板24は電解メッキで作製されており、メッキを付ける際に用いた引き出し用の配線が上記二層配線基板24の外部まで続いている。したがって、その配線を切断することによって発生する切れ端が、ダイパッド5に接触する可能性がある。

【0148】そこで、そのような不都合を回避するために、図29(b)で示すように、上記二層配線テープをダイパッド5よりもわずかに大きく、かつ、インナーリード6に接触しない程度のサイズに切断し、熱圧着によりダイパッド5に貼り付ける。

【0149】次に、図29(c)に示すように、半導体チップ1aと半導体チップ1bとを互いに絶縁するためのワニス状ポリイミド系樹脂27をダイパッド5上に描画し、熱処理により溶剤分を蒸発させる。ここでは二層配線基板24をダイパッド5に貼り付けてからポリイミド系樹脂27を形成したが、この順番はどちらが先になっても構わない。次に、半導体チップ1a・1bをダイボンディングする際には、半導体チップ1a・1b間を絶縁しなければならないので、無銀ペースト等からなるダイアタッチ材料3を用いて、半導体チップ1a・1bをダイボンディングする。以降については、上記と全く同様である。

【0150】この方法によると、シート状ポリイミド系絶縁材料11を使用した場合と同様の絶縁効果が得られるだけでなく、高さ方向において半導体装置を薄く形成することができるという利点がある。

【0151】なお、図30および図31に示すように、ダイパッド5の、半導体チップ1b搭載側にも、電極30bを有し、ボンディングワイヤ17・18の長さを短くするための中継点としての一層または二層の配線基板30を設けるようにしてもよい。これにより、ダイパッド5の裏面(半導体チップ1b搭載側)においても、配線の引き回しの自由度を高くすることができる。

【0152】ここまで、QFPタイプでは、二層の配線パターンを用いた例を挙げた。しかしながら、配線パターン同士を金属線によって電気的に接続することによって、一層配線パターンでも置き換えられる場合がある。図27、図28においては二層の配線パターンを用いていたが、例えば、図32および図33に示すように、図32の図中A部(A部として円で囲まれた領域)の両端に存在する配線(配線パターン)を第1または第2の配線(配線パターン)B・Cとし、これら第1および第2の配線(配線パターン)B・Cに挟まれた配線(配線パターン)群を、第3の配線(配線パターン)群Dとする。ここで、第3の配線(配線パターン)群Dを飛び越えるように、第1と第2の配線(配線パターン)B・C同士を金属線71(第3導線)で電気的に接続する。このようにすることで、配線パターンの層の数を少なくすることができる。

【0153】〔実施の形態5〕本発明の実施のさらに他

28

の形態について、図34および図35に基づいて説明すれば、以下の通りである。なお、説明の便宜上、実施の形態1ないし4の図面に付した部材と同一の機能を有する部材には同一の部材番号を付記し、その説明を省略する。

【0154】実施の形態1〜4では、ダイパッド5上に配線パターン12を形成するために、ポリイミド系樹脂製の絶縁材料を配線パターン12とダイパッド5との間に設けた。本実施形態では、図34および図35に示すように、絶縁層および配線パターンをウエハプロセスにより形成した半導体基板を、ダイパッド5上に搭載する。

【0155】以下に製造方法を説明する。本実施形態では、ダイパッド5とリード等とを形成したリードフレーム4を準備する。ダイボンディング工程において、ダイパッド5の一方の面に、ペースト状のダイアタッチ材料3を用いて半導体チップ1aを搭載し、また、配線パターン12が形成された半導体基板12'も同様に、ペースト状のダイアタッチ材料3を用いて搭載する。ここで、配線パターン12はAuで形成したものをを用いる。A1の配線パターンでも製造は可能であるが、信号の伝達スピードが遅延する可能性がある。パターン形状は、図17および図18に示した構成例と同じとした。このときの搭載の順番は、半導体基板12'からでも構わない。上記ダイアタッチ材料3の硬化は180℃で1時間の条件で行う。

【0156】次に、リードフレーム4を裏返し、ダイパッド5の反対の面も、ダイアタッチ材料3を用いて半導体チップ1bを搭載(ダイボンディング)する。このとき、すでにダイボンディングを終えた半導体チップ1aを弾性体で支える等によって、半導体チップ1aにダメージが加わるのを防ぐようにする。そして、180℃、1時間の条件でダイアタッチ材料3を熱硬化させる。

【0157】ワイヤボンディング工程以降は、図17、図18等に示した構成例における製造方法と同じである。本実施形態では、同一の半導体チップをダイパッド5の表裏に搭載したが、互いに異なる2種類の半導体チップの搭載も可能である。2つの半導体チップが異なる基板電位で動作する場合においては、一方の半導体チップとダイパッド5との間に絶縁材料を挿入すると良い。また、本実施形態では、ウエハプロセスで絶縁材料(絶縁層)と配線パターンとを形成しているため、二層配線以上も形成が可能である。

【0158】〔実施の形態6〕本発明の実施のさらに他の形態について、図36および図37に基づいて説明すれば、以下の通りである。なお、説明の便宜上、実施の形態1ないし5の図面に付した部材と同一の機能を有する部材には同一の部材番号を付記し、その説明を省略する。

【0159】本実施形態を図36および図37に示す。

(16)

特開平11-3970

29

ここでは、図17、図18の構成において、半導体チップ搭載基板であるダイパッド5の表裏面でのワイヤボンディング後に、ダイパッド5に形成された配線パターン12上と、配線パターンが形成されていない領域の半導体チップ周辺とに、ポリイミド系樹脂であるコーティング樹脂80a、80bをポッティングにより形成している。コーティング樹脂80a、80bの加熱は、ポッティング後、180℃で1時間、次いで260℃で1時間の条件で行った。

【0160】配線パターン12上へのコーティング樹脂80aの形成方法としては、リードフレーム4への配線パターン12の形成後に、ワニス状での塗布や、シート状での貼り付け等も可能である。

【0161】また、ダイパッド5の、配線パターン12が形成されていない側の面についても、コーティング樹脂80bの形成方法としては、ワニス状での塗布や、シート状での貼り付け等も可能である。この場合は、ダイパッド5上への配線パターン12の形成前でもよい。

【0162】また、実施の形態1で示した図1、図2においては、絶縁材料13が配線パターン12の一部を覆う構造になっている。例えば、射止樹脂（封止樹脂）22と配線パターン12構成材料との接着力よりも、この絶縁材料13と配線パターン12構成材料との接着力が高く、また、絶縁材料13として吸水率が低くてガラス転移温度T<sub>g</sub>が高いものを使用すると、半田実装において、射止樹脂（封止樹脂）22と配線パターン12との剥離を抑制する効果がある。

【0163】なお、実施の形態1ないし6では全て、ダイパッド5の厚さを、少なくとも、リードフレーム4を構成するクレードル部9（図4参照）の厚さよりも薄く形成している。ダイパッド5を薄く形成する方法としてはあらゆる方法が考えられるが、上記各実施形態においては、ダイパッド5にハーフエッチングを行っている。これにより、ダイパッド5の表裏両面に半導体チップ1a・1bを搭載して、半導体装置の2チップ1パッケージ化を図った際に、薄型の半導体装置を容易に実現することができた。また、薄型の半導体装置を製造するにあたり、樹脂射止の際の歩留まりがさらに向上した。

【0164】また、実施の形態1～4、6では、配線パターン12または二層配線基板24を、約350℃の温度でダイパッド5に接合している。また、リードフレーム4のインナーリード6には、ボンディングワイヤ15・16・18との接合に適したメッキ（例えばAuワイヤではAgメッキ）を施している。さらに、ダイパッド5には、ワイヤボンディングを行う必要がある場合等、必要に応じて、ボンディングワイヤ15・16・18との接合に適したメッキを施している。この場合、メッキ領域が配線パターン12または二層配線基板24で覆われないようにする必要がある。一方、リードフレーム4のアウトリード7には、基板実装に必要なメッキ（ハ

30

ンドメッキ等）を施している。

【0165】なお、上記各実施形態では、ダイパッド5の上下に半導体チップが1チップずつ搭載されたパッケージについて説明した。しかしながら、ダイパッド5の上下のうち少なくとも一方に、複数の半導体チップが搭載された構成とすることもできる。

【0166】例えば、図1や図13に示したダイパッド5および配線パターン12等を図中、縦方向に拡張し、リード（インナーリード6およびアウトリード7）も増やす。そして、ダイパッド5の表の面に、ここまで説明した本発明が採用した接続方式の半導体チップを1個増やし、計2個を図中、縦に並べ、それぞれの半導体チップを配線パターン12にて上述のように接続した構成とすることができる。また、このようにダイパッド5の少なくとも一方の側に搭載した複数の半導体チップとそれに接続されたリードとのセットのうち、いくつかを、本発明の接続方式とは異なる方式、例えば図38に示したような従来通りの接続方式で配設することもできる。

【0167】このように、ダイパッド5の少なくとも一方の側に設ける複数のチップは平面的に複数個配置してもよいし、他の例として、ダイパッド5の少なくとも一方の側に複数のチップを三次元的に積層する構成も考えられる。

【0168】また、図1や図7に示した例では、同一配線内の2つの電極12b・12bを結ぶ配線12aは、すべて、半導体チップ1aの所定の側面に平行になっている。しかしながら、これに限定されず、配線12aは、湾曲形状または斜めに伸びる形状を有していてもよい。

【0169】また、図13に示した例では、配線12aは、対称軸L-L'に対して互に対称な位置にある電極12b同士を電気的に接続するようにパターンニングされている。また、配線12aは、四辺形の半導体チップの所定の辺（ここでは側辺1a1-1a2）に平行である。また、配線12aは、電極群12b1の並んだ方向に平行に伸びている。しかしながら、これに限定されず、配線12aは、配線パターン12が、一方の半導体チップ1aの一つの辺に対向する電極群12b1の並んだ方向に沿って伸びる部分を含んだ構成とすることもできる。

【0170】

【発明の効果】以上のように、請求項1記載の半導体装置は、リードフレームの半導体チップ搭載用基板の両面に、複数の半導体チップを、そのうちの少なくとも2個が上記半導体チップ搭載用基板について互いに裏面同士を対向させるように搭載する半導体装置において、上記半導体チップ搭載用基板の少なくとも片面には、所定のパターンを有する配線パターンと、上記半導体チップ搭載用基板と上記配線パターンとを絶縁するための絶縁材

(17)

特開平11-3970

31

料とが設けられ、上記複数の半導体チップのうちの少なくとも1個の半導体チップの電極パッドが、上記配線パターンおよび金属線を介して、上記リードフレームに形成された所定のリードと電気的に接続されている構成である。

【0171】それゆえ、金属線が半導体チップあるいは隣接ワイヤとショートすることや、金属線が切れるオープン等の、不都合を確実に回避することができるという効果を奏する。

【0172】また、半導体チップの設計を変更する必要がない分、半導体装置のコストを低減することができると共に、半導体装置の開発期間を従来よりも確実に短縮することができるという効果を奏する。

【0173】また、複数チップ1パッケージの半導体装置の汎用性を広げることができるという効果を奏する。

【0174】請求項2記載の半導体装置は、請求項1の構成に加えて、上記リードフレームは、互いに対向するように配置された、複数のリードからなる2つのリード群を有し、上記半導体チップ搭載用基板が、上記2つのリード群の間に配置され、上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺のうちの1組の対向する側辺が各々上記2つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンは、上記2つのリード群に含まれる少なくとも1つのリードが、上記リードが含まれるリード群と対向する半導体チップの側辺を除く側辺近傍の素子形成面上に配置される電極パッドと電気的に接続されるようにパターンニングされている構成である。

【0175】それゆえ、請求項1の構成による効果に加えて、半導体チップが同種（同一のチップサイズで電極パッドの配置が同じ）の場合では、素子回路パターンをミラー反転した半導体チップを作製することなしに、複数チップ1パッケージの半導体装置を得ることができ、互いに全く関係のない配置で設けられた電極パッドを有する半導体チップの場合でも、上記半導体チップの設計を変更することなしに、複数チップ1パッケージの半導体装置を得ることができるという効果を奏する。

【0176】請求項3記載の半導体装置は、請求項1の構成に加えて、上記リードフレームは、互いに対向するように配置された、複数のリードからなる2つのリード群を有し、上記半導体チップ搭載用基板が、上記2つのリード群の間に配置され、上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺のうちの1組の対向する側辺が各々上記2つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンは、少なくとも1つのリード群と、半導体チップの素

32

子形成面における側辺近傍に配置され、上記リード群のリードと必要とされる電気信号の順番が異なる電極パッドからなる電極パッド群とが、電気信号の順番が一致して接続されるようにパターンニングされている構成である。

【0177】それゆえ、請求項1の構成による効果に加えて、複数チップ1パッケージという実装形態を想定せずに、各チップがそれぞれ1チップ1パッケージの実装形態で最適となるように電極パッドが配列された半導体チップを用いても、上記の半導体チップの設計を変更することなしに、複数チップ1パッケージの半導体装置を得ることができるという効果を奏する。

【0178】請求項4記載の半導体装置は、請求項1の構成に加えて、上記リードフレームは、その2組が互いに対向するように配置された、複数のリードからなる4つのリード群を有し、上記半導体チップ搭載用基板が、上記4つのリード群で囲まれて配置され、上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺が各々上記4つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンは、上記4つのリード群に含まれる少なくとも1つのリードが、上記リードが含まれるリード群と対向する半導体チップの側辺を除く側辺近傍の素子形成面上に配置される電極パッドと電気的に接続されるようにパターンニングされている構成である。

【0179】それゆえ、請求項1の構成による効果に加えて、異なる種類の半導体チップを用いて例えばQFP（Quad Flat Package）タイプの半導体装置を製造する場合でも、各半導体チップの設計を変更することなしに、複数チップ1パッケージの半導体装置を実現することができるという効果を奏する。

【0180】請求項5記載の半導体装置は、請求項1の構成に加えて、上記リードフレームは、その2組が互いに対向するように配置された、複数のリードからなる4つのリード群を有し、上記半導体チップ搭載用基板が、上記4つのリード群で囲まれて配置され、上記複数の半導体チップのうちで上記半導体チップ搭載用基板について互いに裏面同士が対向する少なくとも2個の半導体チップは、略四辺形を呈し、それぞれの4つの側辺が各々上記4つのリード群に対向するように、上記半導体チップ搭載用基板に搭載され、上記配線パターンは、少なくとも1つのリード群と、半導体チップの素子形成面における側辺近傍に配置され、上記リード群のリードと必要とされる電気信号の順番が異なる電極パッドからなる電極パッド群とが、電気信号の順番が一致して接続されるようにパターンニングされている構成である。

【0181】それゆえ、請求項1の構成による効果に加えて、複数チップ1パッケージという実装形態を想定せ

(18)

特開平11-3970

33

ずに、各チップがそれぞれ1チップ1パッケージの実装形態で最適となるように電極パッドが配列された半導体チップを用いた場合でも、各半導体チップの設計を変更することなしに、例えばQFPタイプで複数チップ1パッケージの半導体装置を得ることができるという効果を奏する。

【0182】請求項6記載の半導体装置は、請求項1の構成に加えて、上記配線パターンは、上記配線パターンが存在する面に搭載される半導体チップの存在領域を避けるようにして、半導体チップ搭載用基板の周辺部に設けられている構成である。

【0183】それゆえ、請求項1の構成による効果に加えて、半導体チップの存在領域に配線パターンは存在しないので、薄型の半導体装置を提供することができるという効果を奏する。

【0184】請求項7記載の半導体装置は、請求項1の構成に加えて、上記配線パターンおよび上記絶縁材料が、上記配線パターンおよび上記絶縁材料が存在する面に搭載される半導体チップの存在領域を避けるようにして、半導体チップ搭載用基板の周辺部に設けられている構成である。

【0185】それゆえ、請求項1の構成による効果に加えて、半導体チップの存在領域に配線パターンおよび絶縁材料は存在しないので、請求項6の構成の場合よりもさらに薄型の半導体装置を提供することができるという効果を奏する。

【0186】請求項8記載の半導体装置は、請求項1の構成に加えて、上記リードフレームが、上記リードフレームを搬送するためのクレードル部を備え、上記半導体チップ搭載用基板は、少なくとも上記クレードル部の厚さよりも薄く形成されている構成である。

【0187】それゆえ、請求項1の構成による効果に加えて、半導体チップ搭載用基板の表裏両面に半導体チップを搭載した場合に、薄型の複数チップ1パッケージの半導体装置を提供することができるという効果を奏する。

【0188】請求項9記載の半導体装置は、請求項1の構成に加えて、ウエハプロセスで上記絶縁材料もしくは絶縁層および上記配線パターンを形成した半導体基板を、リードフレームの上記半導体チップ搭載用基板の少なくとも一方の面に上記半導体チップと並べて搭載し、上記半導体チップの電極パッドが、上記配線パターンおよび上記金属線を介して上記リードと電気的に接続されている構成である。

【0189】それゆえ、請求項1の構成による効果に加えて、より汎用性が高く安価な複数チップ1パッケージの半導体装置を得ることができるという効果を奏する。

【0190】請求項10記載の半導体装置は、請求項1の構成に加えて、上記半導体チップ搭載用基板上に設けられた上記配線パターン上において、配線同士が、金属

34

線によって電気的に接続されている構成である。

【0191】それゆえ、請求項1の構成による効果に加えて、配線パターンの配置等の自由度を向上させることができるという効果を奏する。

【0192】請求項11記載の半導体装置は、請求項10の構成に加えて、上記半導体チップ搭載用基板上に、上記配線パターンを1つ以上含む配線パターン群が2つ以上形成され、上記1つの配線パターン群の少なくとも一部分と、それ以外の上記1つの配線パターン群の少なくとも一部分とが、上記金属線によって電気的に接続されている構成である。

【0193】それゆえ、請求項10の構成による効果に加えて、配線パターンの配置等の自由度をさらに向上させることができるという効果を奏する。

【0194】請求項12記載の半導体装置は、請求項10の構成に加えて、上記配線パターンが、略平面上に設けられて互いに電気的に独立した第1および第2配線パターンと、1つ以上の配線パターンを有し、上記第1配線パターンと第2配線パターンとの間に設けられた第3配線パターンとを含んでおり、上記第1および第2の配線パターンが、上記金属線によって電気的に接続されている構成である。

【0195】それゆえ、請求項10の構成による効果に加えて、より汎用性が高い複数チップ1パッケージの半導体装置を得ることができるという効果を奏する。

【0196】請求項13記載の半導体装置は、請求項1の構成に加えて、上記複数の半導体チップおよび半導体チップ搭載用基板を封止する封止材と、上記半導体チップ搭載用基板上に形成された上記配線パターンの少なくとも一部を覆う、上記封止材とは異なる材料からなるコーティング被膜とを含む構成である。

【0197】それゆえ、請求項1の構成による効果に加えて、より高品質の複数チップ1パッケージの半導体装置を得ることができるという効果を奏する。

【0198】請求項14記載の半導体装置は、請求項1の構成に加えて、上記複数の半導体チップおよび半導体チップ搭載用基板を封止する封止材と、上記半導体チップ搭載用基板と上記封止材とが直接接する面積を減少させるように、上記半導体チップ搭載用基板の少なくとも一部を覆う、上記封止材とは異なる材料からなるコーティング被膜とを含む構成である。

【0199】それゆえ、請求項1の構成による効果に加えて、より高品質の複数チップ1パッケージの半導体装置を得ることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施の一形態における半導体装置の一構成例を示す平面透視図である。

【図2】上記半導体装置の側面透視図である。

【図3】図3(a)および図3(b)は、各半導体チップの平面図である。



(19)

特開平11-3970

35

【図4】リードフレームを示す平面図である。

【図5】図5(a)～図5(e)は、上記半導体装置の製造工程を示す側面透視図である。

【図6】図6(a)～図6(d)は、上記半導体装置の、図5(e)の後の製造工程を示す側面透視図である。

【図7】本発明の他の実施の形態を示し、半導体チップ搭載領域およびその外周部近傍に窓開けを行った一層配線基板を接合したダイパッドの表裏両面に半導体チップを搭載した構造の半導体装置の平面透視図である。

【図8】上記半導体装置の側面透視図である。

【図9】図9(a)～図9(e)は、上記半導体装置の製造工程を示す側面透視図である。

【図10】図10(a)～図10(d)は、上記半導体装置の、図9(e)の後の製造工程を示す側面透視図である。

【図11】本発明のさらに他の実施の形態を示し、半導体チップ搭載用基板上に、配線パターンが2つの配線パターン群に区切られて形成され、上記1つの配線パターン群を構成する配線パターンと、それ以外の配線パターン群を構成する配線パターンとを電気的に接続した金属線を含む構造の半導体装置の平面透視図である。

【図12】上記半導体装置の側面透視図である。

【図13】本発明のさらに他の実施の形態を示し、あらかじめダイパッドに設けられた絶縁材料を介して、半導体チップ搭載領域およびその外周部近傍に窓開けを行った一層配線基板をダイパッドに接合した構造の半導体装置の平面透視図である。

【図14】上記半導体装置の側面透視図である。

【図15】図15(a)～図15(e)は、上記半導体装置の製造工程を示す側面透視図である。

【図16】図16(a)～図16(d)は、上記半導体装置の、図15(e)の後の製造工程を示す側面透視図である。

【図17】2分割配線基板が接合されたダイパッドの表裏両面に半導体チップを搭載した構造の半導体装置の平面透視図である。

【図18】上記半導体装置の側面透視図である。

【図19】本発明のさらに他の実施の形態を示し、二層配線基板を接合したダイパッドの表裏両面に半導体チップを搭載した構造の半導体装置の平面透視図である。

【図20】上記半導体装置の側面透視図である。

【図21】図21(a)および図21(b)は、各半導体チップの平面図である。

【図22】図22(a)～図22(e)は、上記半導体装置の製造工程を示す側面透視図である。

【図23】半導体チップ搭載領域およびその外周部近傍に窓開けを行った二層配線基板を接合したダイパッドの表裏両面に半導体チップを搭載した構造の半導体装置の平面透視図である。

36

【図24】上記半導体装置の側面透視図である。

【図25】あらかじめダイパッドに設けられた絶縁材料を介して、半導体チップ搭載領域およびその外周部近傍に窓開けを行った二層配線基板をダイパッドに接合した構造の半導体装置の平面透視図である。

【図26】上記半導体装置の側面透視図である。

【図27】半導体チップ同士を絶縁するためにワニス状の絶縁材料が用いられ、配線基板のサイズがダイパッドよりも大きい構造の半導体装置の平面透視図である。

【図28】上記半導体装置の側面透視図である。

【図29】図29(a)～図29(c)は、上記半導体装置の製造工程を示す断面図である。

【図30】ダイパッドの表裏両面に配線基板を接合した構造の半導体装置の平面透視図である。

【図31】上記半導体装置の側面透視図である。

【図32】本発明のさらに他の実施の形態を示し、半導体チップ搭載用基板上の配線パターンが、略水平面上に、互いに電気的に独立した第1・第2配線群を含み、第1と第2の配線とを電気的に接続するための金属線を含む構造の半導体装置の平面透視図である。

【図33】上記半導体装置の側面透視図である。

【図34】本発明のさらに他の実施の形態を示し、ウエハプロセスで絶縁層および配線パターンを形成した半導体基板をリードフレームの半導体チップ搭載用基板の一方の面に半導体チップと並べて搭載した構造の半導体装置の平面透視図である。

【図35】上記半導体装置の側面透視図である。

【図36】本発明のさらに他の実施の形態を示し、封止樹脂とは異なるコーティング樹脂被膜を、半導体チップ搭載用基板上に形成された配線パターンの一部と、半導体チップ搭載用基板が直接封止樹脂と接する面積が少なくなるように半導体チップ搭載用基板の一部を覆うように形成した構造の半導体装置の平面透視図である。

【図37】上記半導体装置の側面透視図である。

【図38】従来の1チップ1パッケージの半導体装置の平面透視図である。

【図39】上記従来の半導体装置の側面透視図である。

【図40】従来の2チップ1パッケージの半導体装置の平面透視図である。

【図41】上記従来の半導体装置の側面透視図である。

【図42】従来の他の1チップ1パッケージの半導体装置の平面図である。

【符号の説明】

1 a 半導体チップ

1 b 半導体チップ

2 a 電極パッド

2 a<sub>1</sub> 電極パッド群

2 a<sub>2</sub> 電極パッド群

2 b 電極パッド

50 2 b<sub>1</sub> 電極パッド群



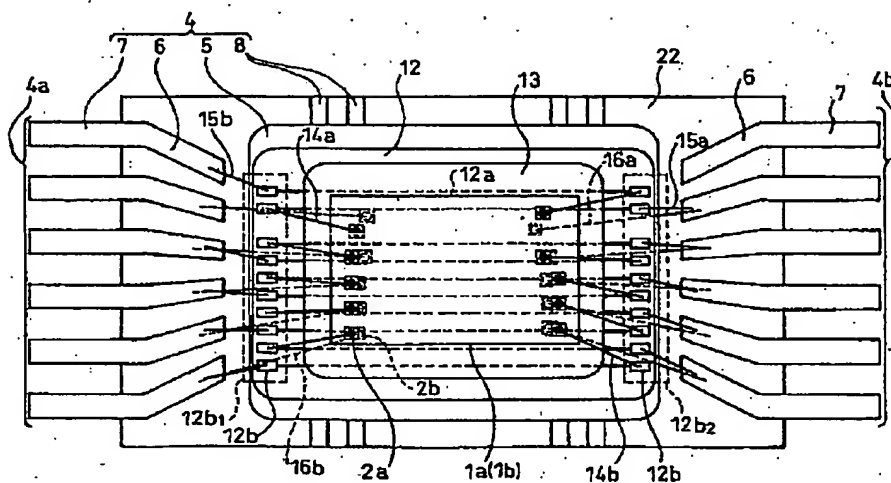
(20)

特開平11-3970

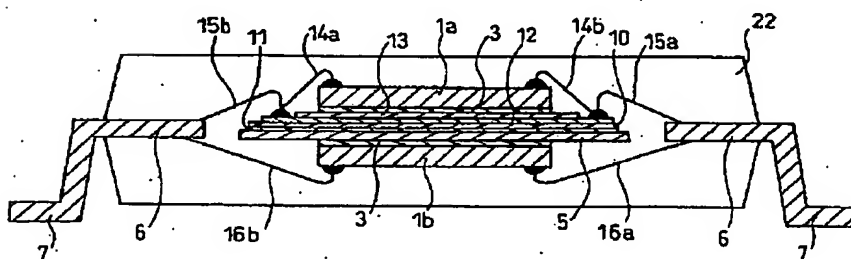
- 37
- 2b<sub>2</sub> 電極パッド群
- 4 リードフレーム
- 4a リード群
- 4b リード群
- 4c リード群
- 4d リード群
- 5 ダイパッド (半導体チップ搭載用基板)

- 38
- 9 クレードル部
- 10 絶縁材料
- 11 絶縁材料
- 12 配線パターン
- 25 配線パターン
- 26 配線パターン

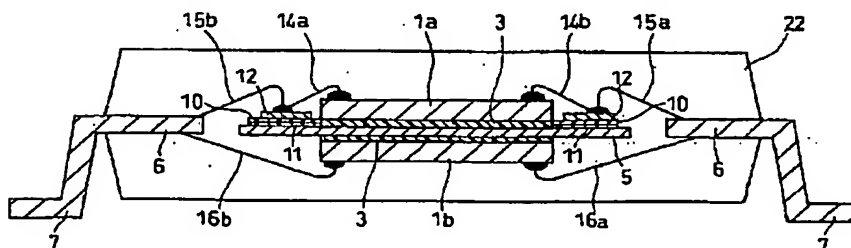
【図1】



【図2】



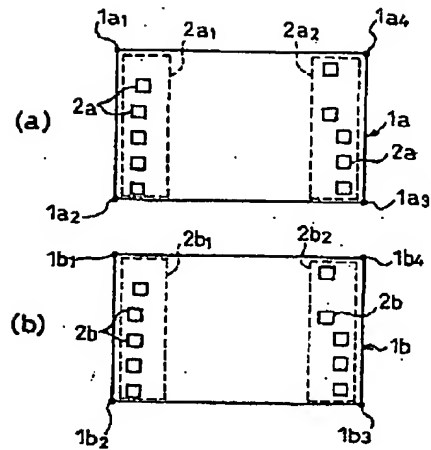
【図8】



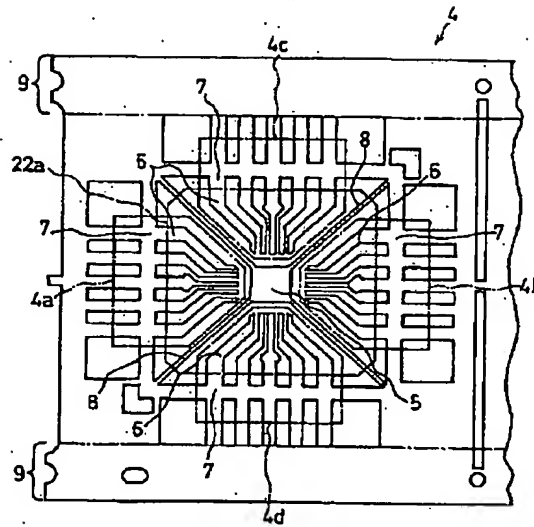
(21)

特開平11-3970

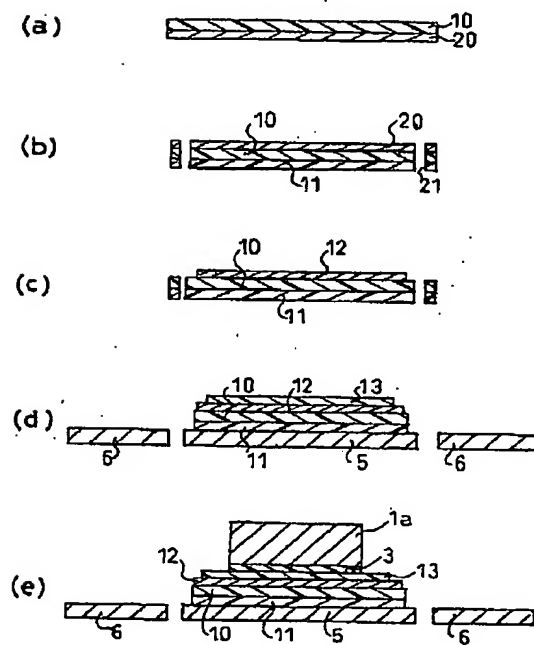
【図3】



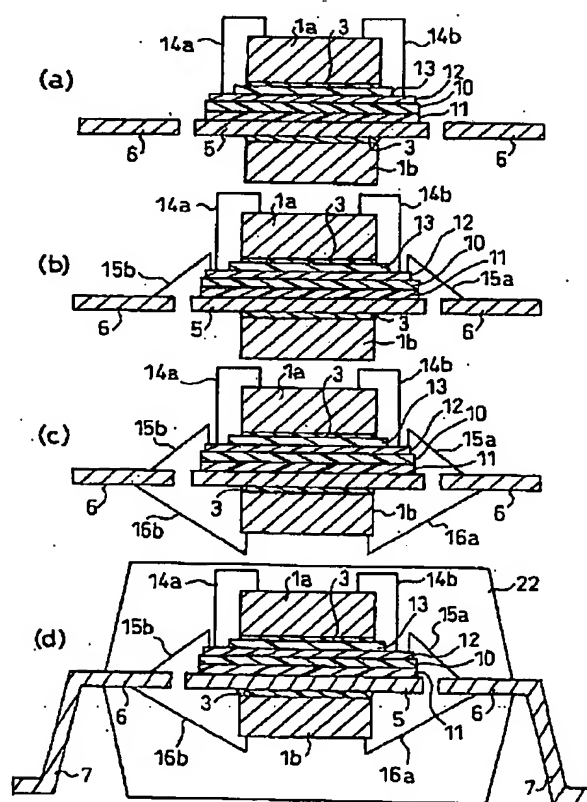
【図4】



【図5】



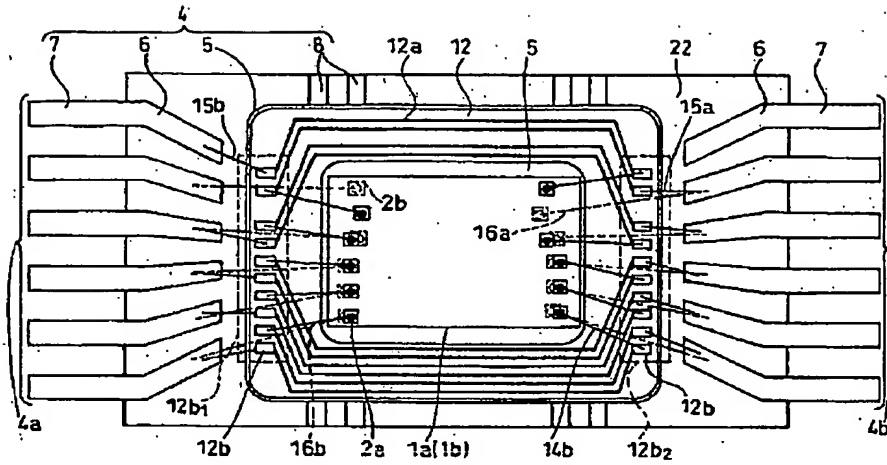
【図6】



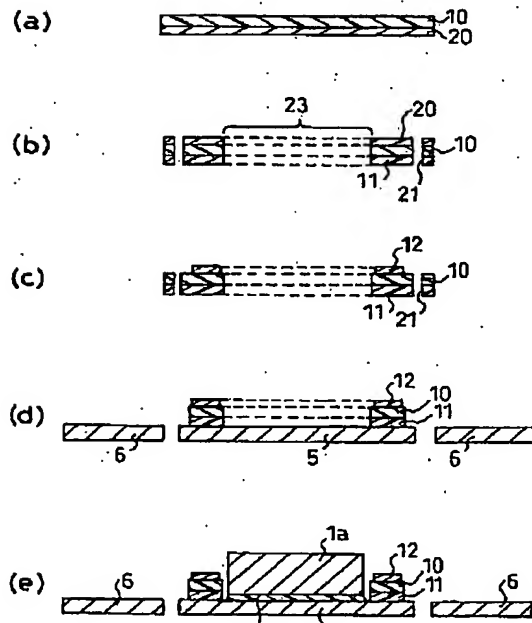
(22)

特開平11-3970

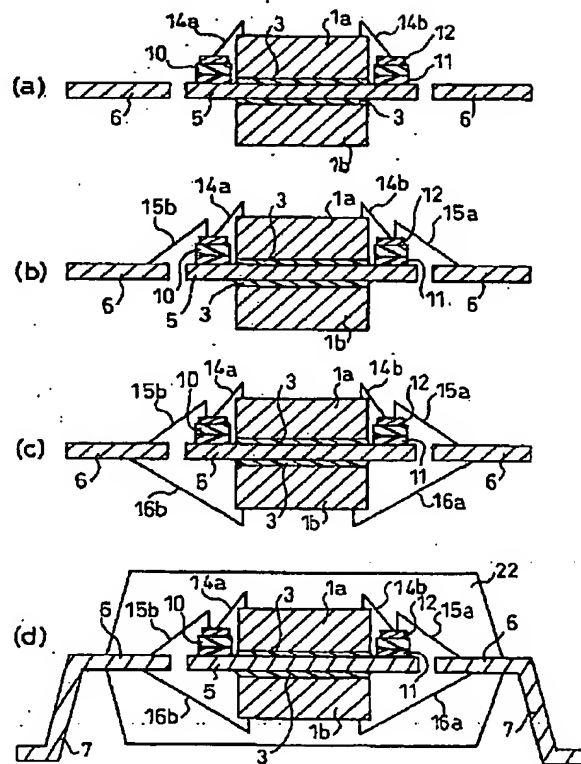
【図7】



【図9】



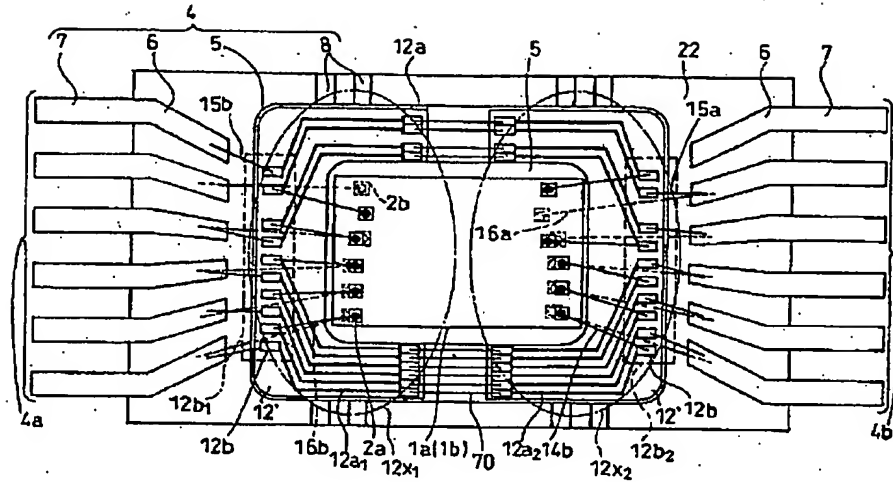
【図10】



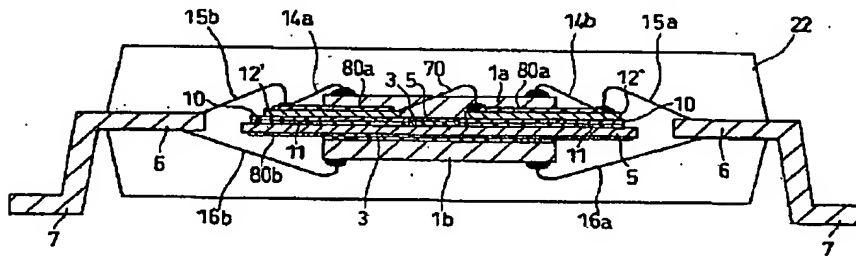
(23)

特開平11-3970

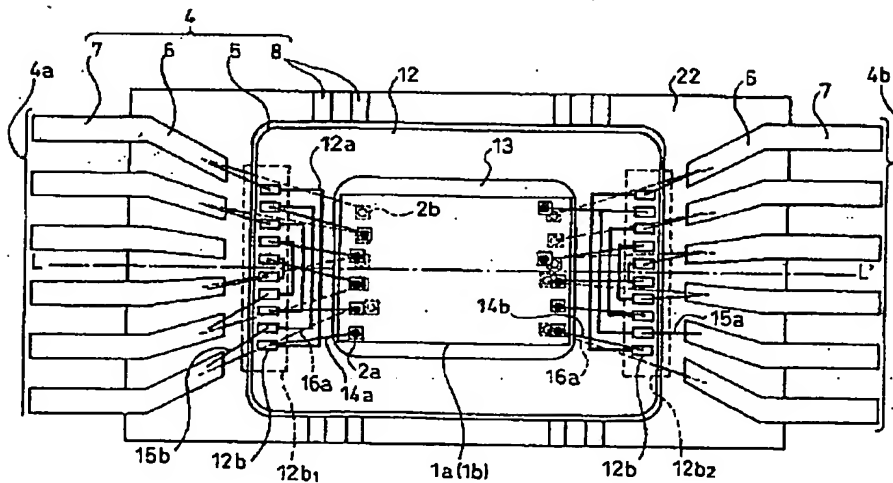
【図11】



【図12】



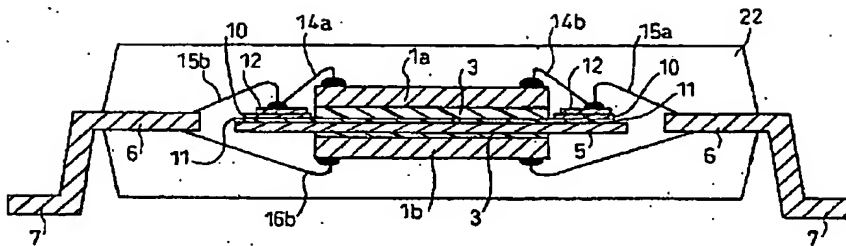
【図13】



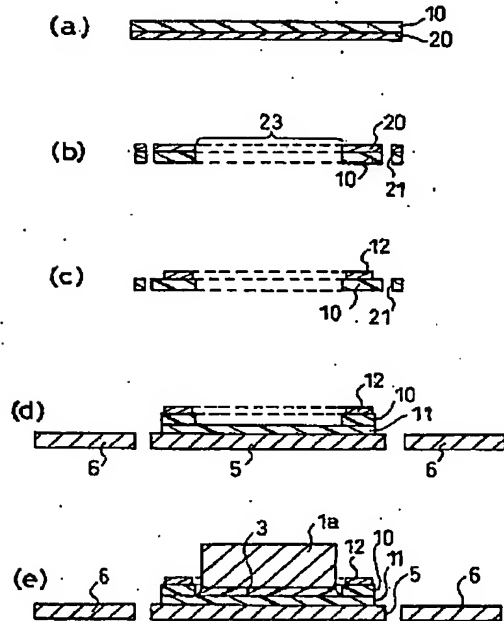
(24)

特開平11-3970

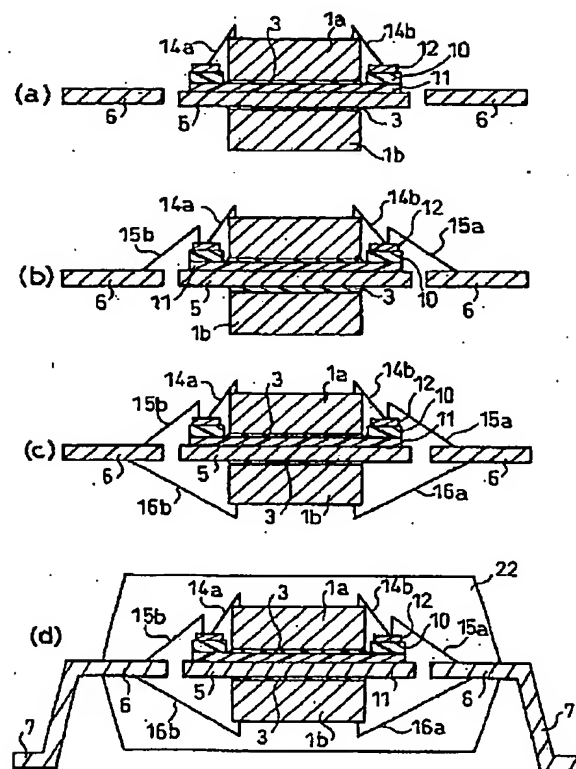
【図14】



【図15】



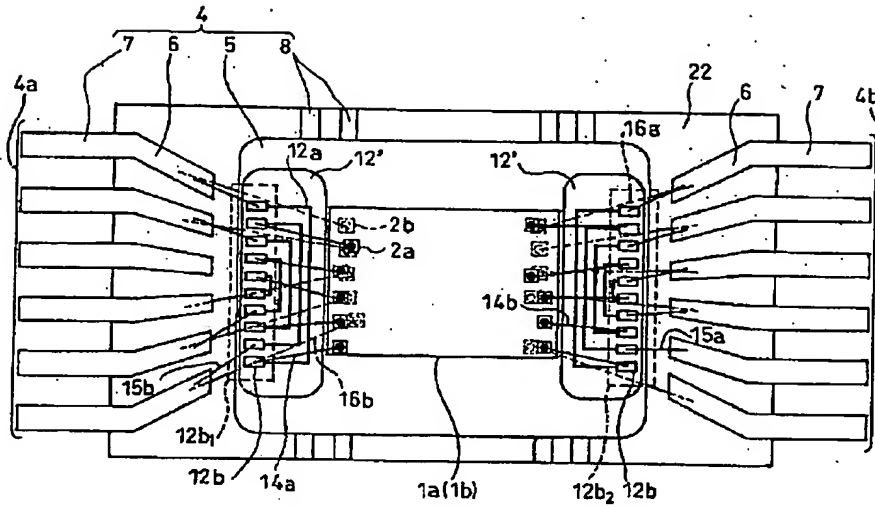
【図16】



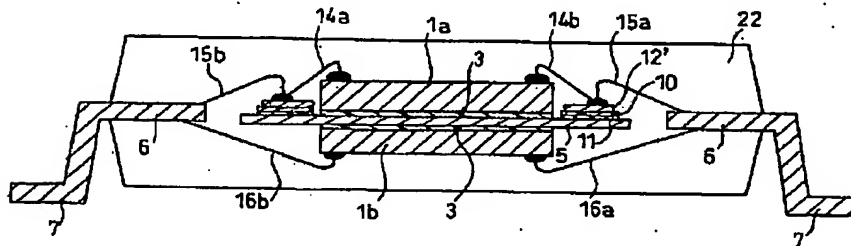
(25)

特開平11-3970

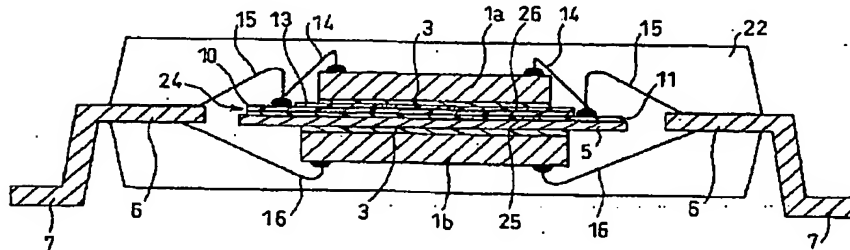
【図17】



【図18】



【図20】

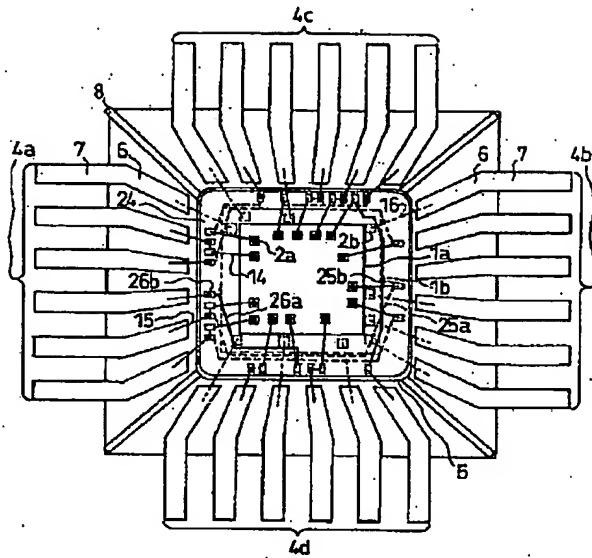




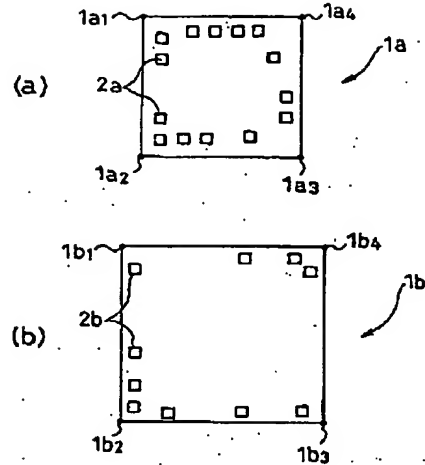
(26)

特開平11-3970

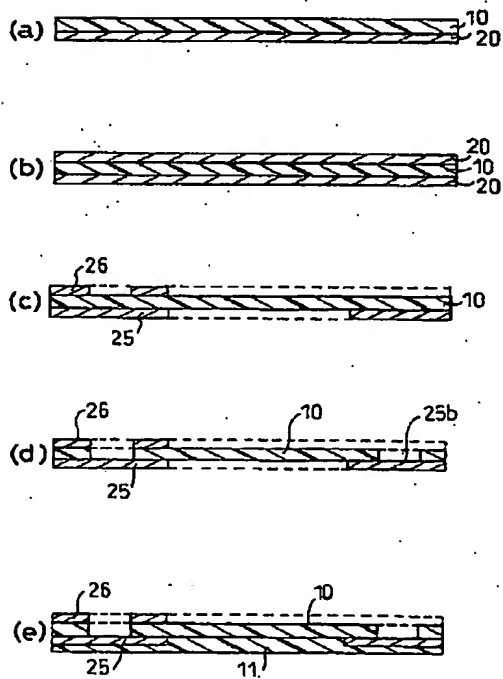
【図19】



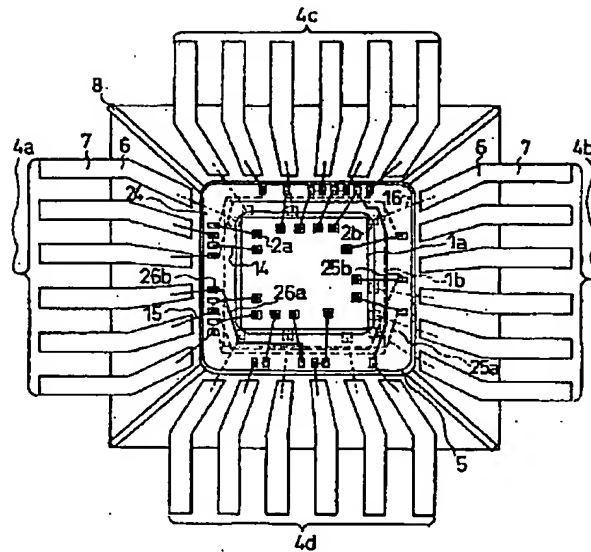
【図21】



【図22】



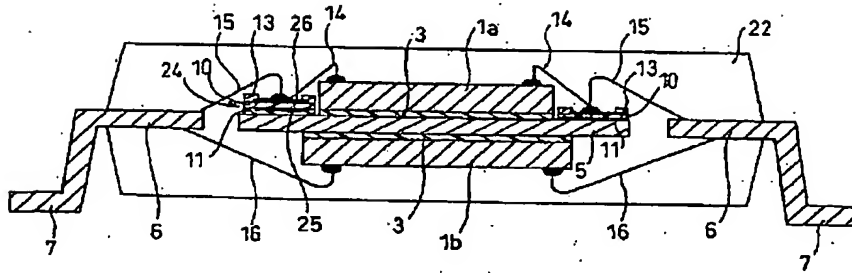
【図23】



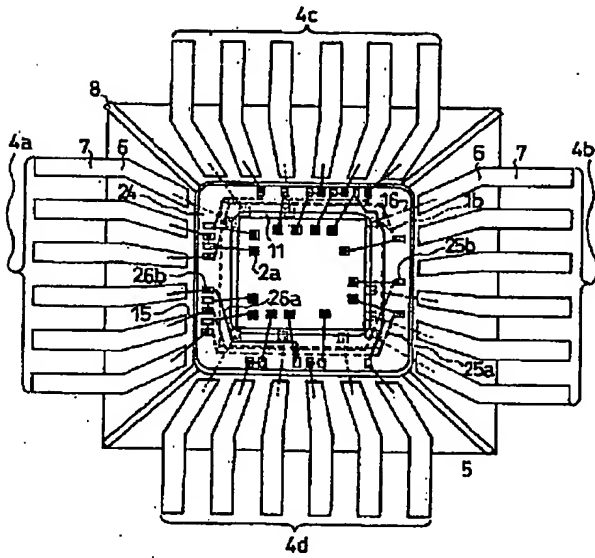
(27)

特開平11-3970

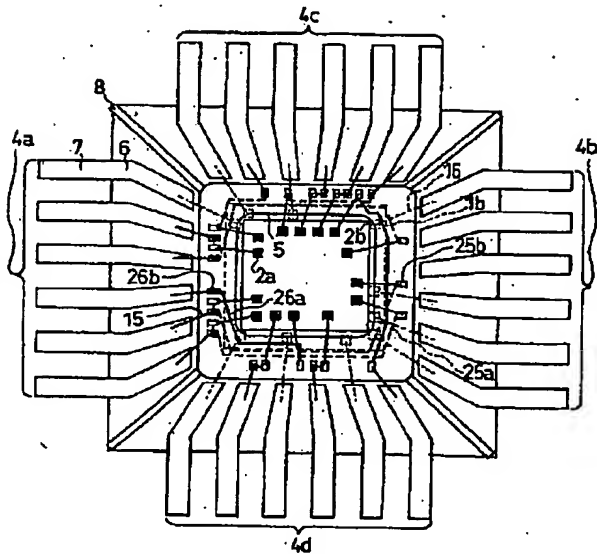
【図24】



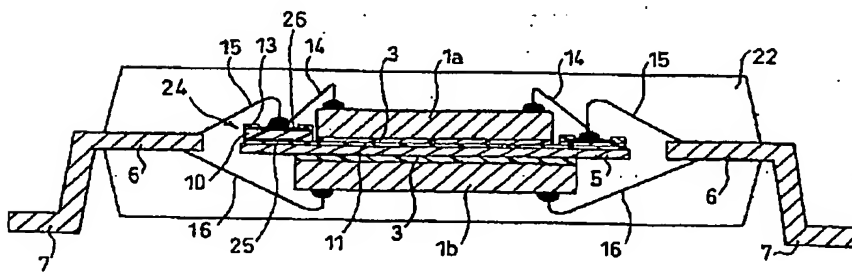
【図25】



【図27】



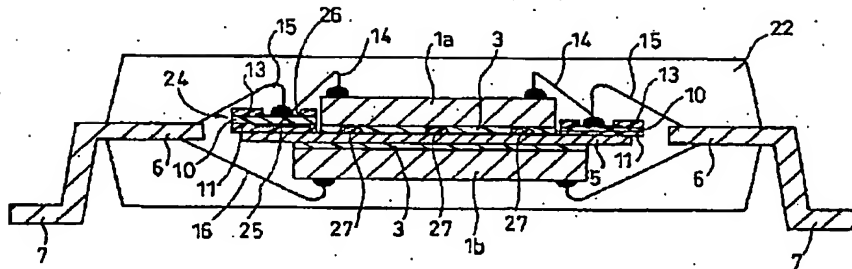
【図26】



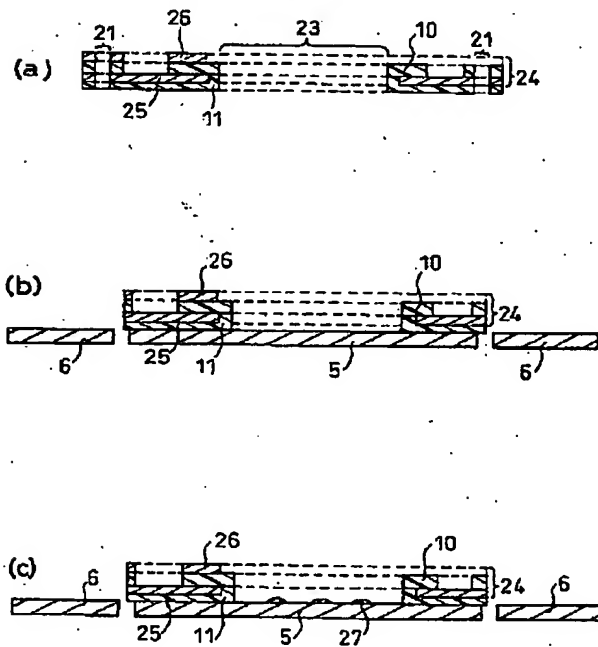
(28)

特開平11-3970

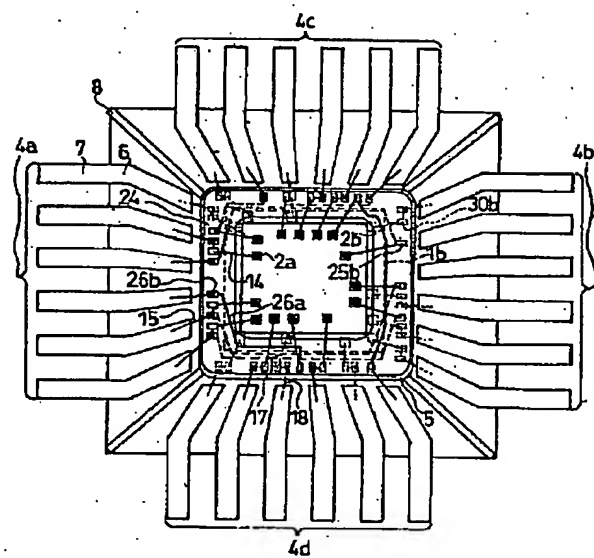
【図28】



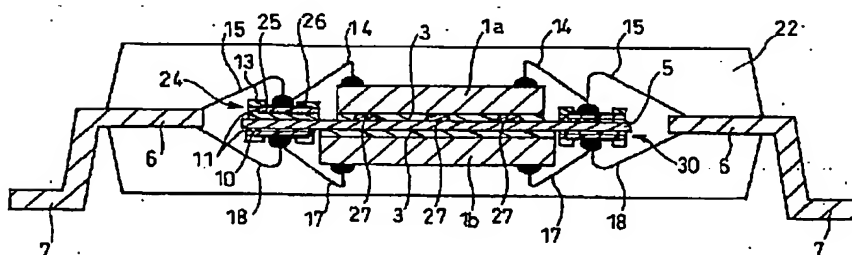
【図29】



【図30】



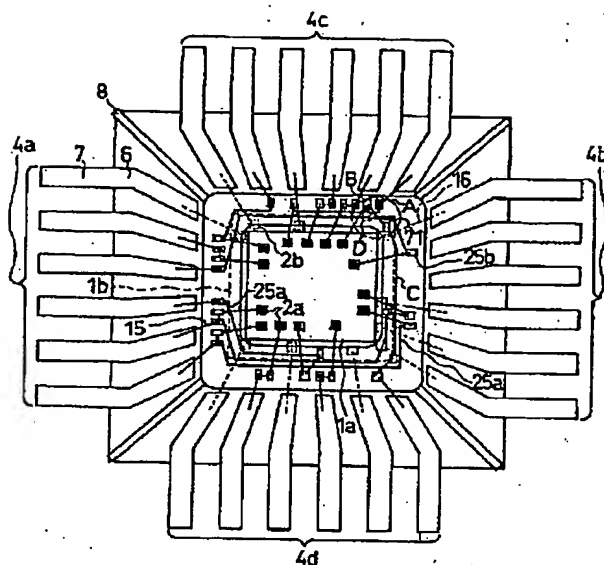
【図31】



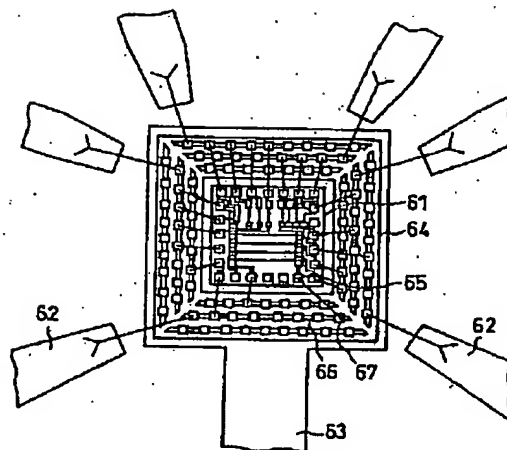
(29)

特開平11-3970

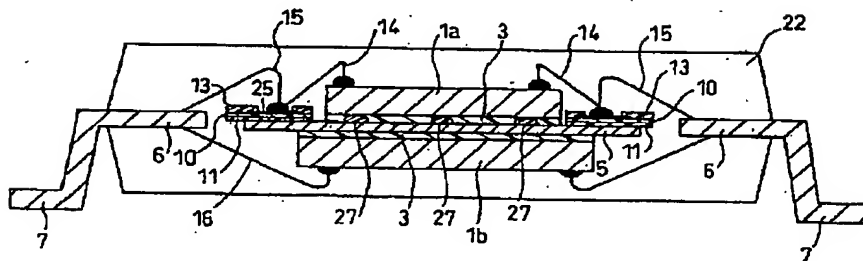
【図32】



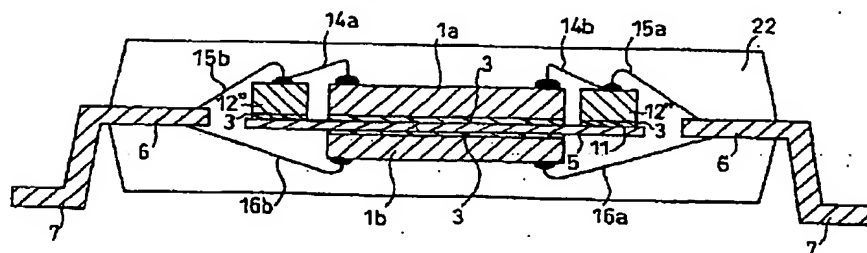
【図42】



【図33】



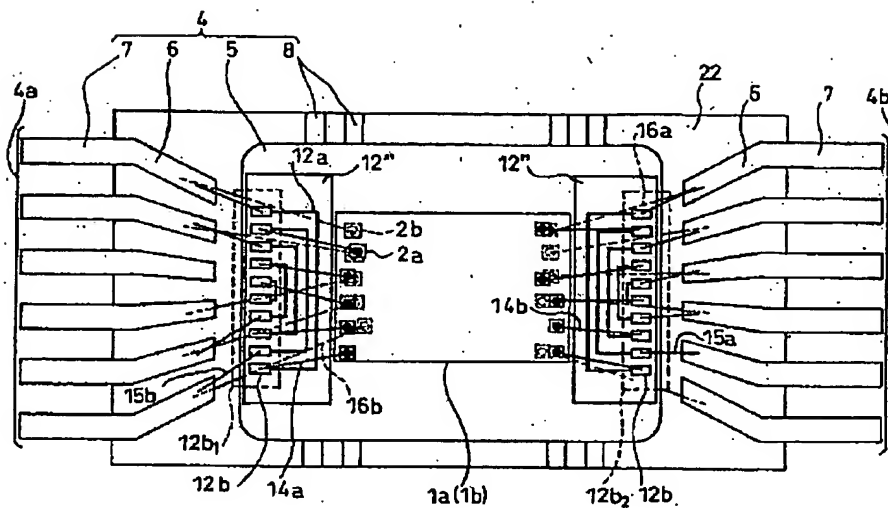
【図35】



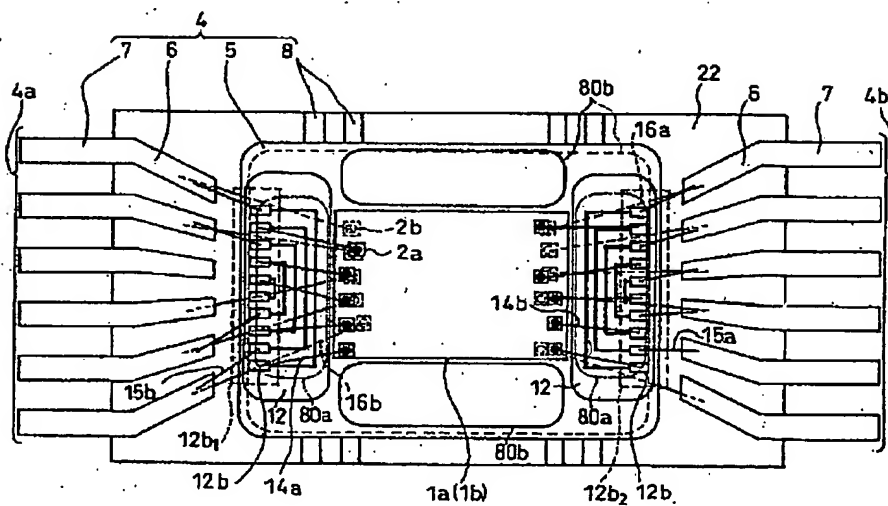
(30)

特開平11-3970

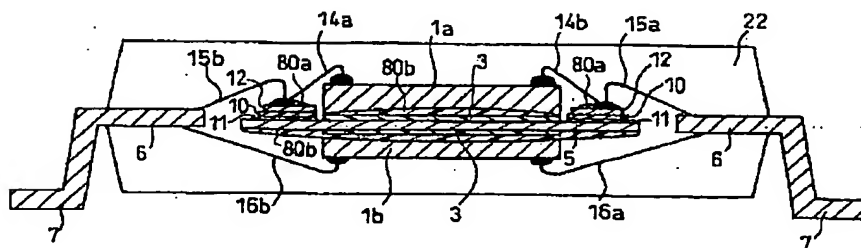
【図34】



【図36】



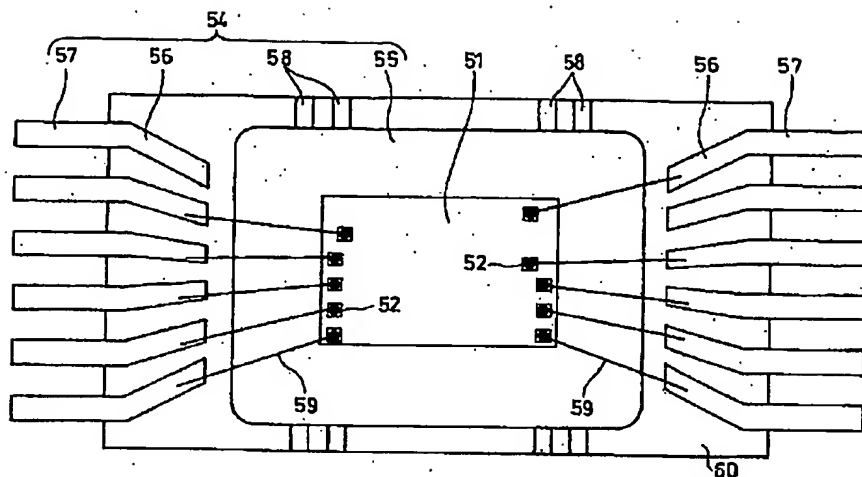
【図37】



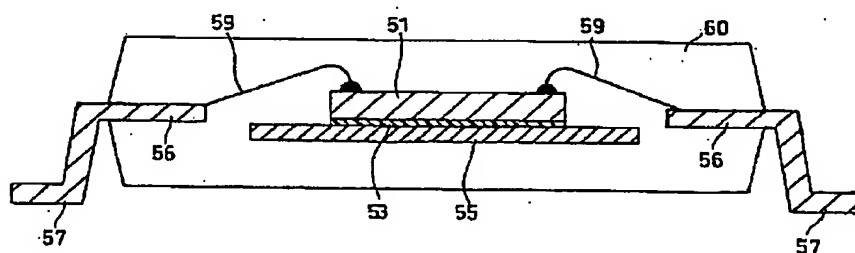
(31)

特開平11-3970

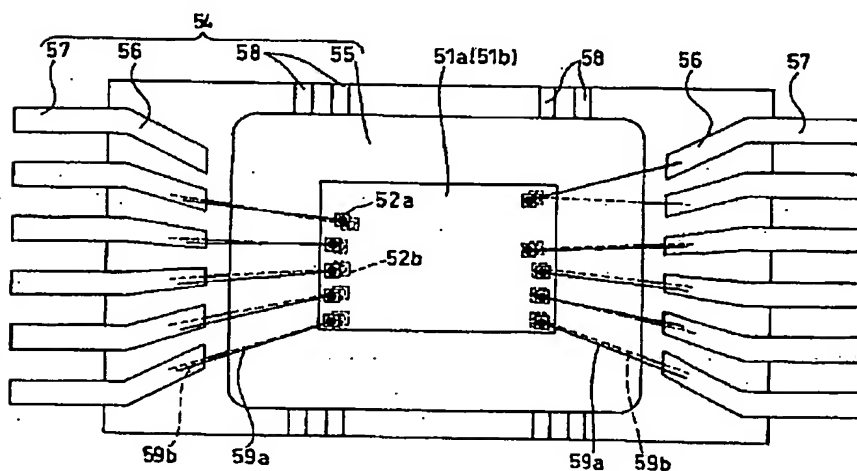
【図38】



【図39】



【図40】

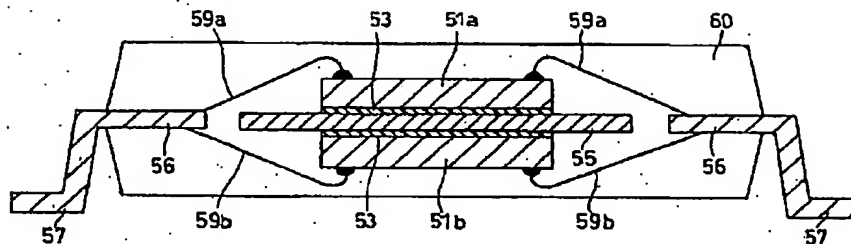




(32)

特開平11-3970

【図41】



フロントページの続き

(72)発明者 森 勝信  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72)発明者 樽井 克行  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**